

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

H01L 29/78

(11) 공개번호 특1999-0082088

(43) 공개일자 1999년11월15일

(21) 출원번호 10-1998-0705810
(22) 출원일자 1998년07월28일
 번역문제출일자 1998년07월28일
(86) 국제출원번호 PCT/US1997/02108 (87) 국제공개번호 WO 1997/29519
(86) 국제출원출원일자 1997년02월04일 (87) 국제공개일자 1997년08월14일
(81) 지정국 AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드
EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스
EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 오스트리아 스위스 리히텐슈타인 독일 덴마크 스페인 핀란드 영국
국내특허 : 아일랜드 알바니아 오스트레일리아 보스니아-헤르체고비나 바베이도스 불가리아 브라질 캐나다 중국 쿠바 체코 에스토니아 그루지아 헝가리 이스라엘 아이슬란드 일본
(30) 우선권주장 8/597,711 1996년02월07일 미국(US)
(71) 출원인 센더버드 테크놀로지스, 인코포레이티드 바이널 앤드류 씨.
미국 노오스 캐틀라이나 27709-3739 리서치 트라이앵글 파크 피.오. 박스 13739 페리메터파크 드라이브 1000
(72) 발명자 데년 마이클 윌리엄
미국, 노쓰 캐틀라이나 27615, 랄리, 윈드제머 드라이브 8820
(74) 대리인 권석홍, 이영필, 이상용

심사청구 : 없음

(54) 드레인 전계 종결 영역을 구비하는 단채널 페르미-문턱 전계 효과 트랜지스터 및 그 제조 방법

요약

페르미-FET는 드레인 전계 종결 영역을 소오스 및 드레인 영역 사이에 구비하여, 드레인 바이어스에 의한 소오스 영역으로부터 채널로의 캐리어 주입을 감소시키거나 바람직하게는 방지한다. 드레인 전계 종결 영역은 채널에서의 낮은 수직 전계를 허용하면서도 과도한 드레인 유도 장벽 저하를 방지한다. 드레인 전계 종결 영역은 소오스 및 드레인 영역 사이에 위치하며 기판 표면 아래에서 소오스 영역으로부터 드레인 영역에까지 연장되는 카운터 도핑된 매물층에 의해서 구현되는 것이 바람직하다. 카운터 도핑된 매물 층은 서로 거리를 두고 있는 소오스 및 드레인 영역 사이에 세 층을 제공하는 세 개의 터브 구조를 이용하여 형성될 수 있다. 드레인 전계 종결 영역은 통상의 MOSFET에도 또한 사용될 수 있다. 채널 영역은 에피택셜 성장 방법으로 증착되어 형성되는 것이 바람직하며, 이에 따라 채널 영역은 드레인 전계 종결 영역에 대해 카운터 도핑될 필요가 없다. 따라서, 주어진 도핑 수준에 대하여 채널에서의 보다 높은 캐리어 이동도가 얻어질 수 있다.

대표도

도6

명세서

기술분야

본 발명은 전계 효과 트랜지스터 소자(Field Effect Transistor devices; 이하 'FET 소자'라 한다)에 관한 것으로, 특히 집적 회로 FET 및 그 제조 방법에 관한 것이다.

배경기술

FET는 로직 장치(logic device), 메모리 장치 및 마이크로프로세서 등과 같은 VLSI(Very Large Scale Integration) 및 ULSI(Ultra Large Scale Integration) 등의 초고집적 회로에 유력한 능동 소자로 이용되고 있다. 이는 집적 회로 FET가 그 특성상 고임피던스, 고밀도 및 저전력 소자임에 기인한다. 이에 따라 FET들의 집적 밀도 및 동작 속도 증가, 그리고 소모되는 전력을 낮추는 데 많은 연구와 개발 활동이 집중되고 있다.

높은 동작 속도 또는 높은 성능의 FET는 '페르미 문턱 전계 효과 트랜지스터(Fermi Threshold Field Effect Transistor)'의 명칭으로 미합중국 특허 4,984,043호 및 4,990,974호에 기재되어 있는데, 모두, 엘버트 W. 바이널(Albert W. Vinal)에 의한 것으로 본 발명의 양수인에게 양도되어 있다. 상기 특허들은 소자의 문턱 전압

을 '반도체' 물질의 페르미 전위의 두 배에 이르도록 설정함으로써 반전이 불필요한 강화 모드(enhancement mode)로 작동되는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)에 관하여 기술되어 있다. 당업계에서 평균적인 지식을 가진 자에게 잘 알려져 있듯이, 페르미 전위는 반도체 물질에서 전자가 반 정도 채워질 확률을 가지는 에너지 상태에 해당하는 전위로 정의된다. 상기한 바이닐의 특허에서 기술되듯이 문턱 전압이 페르미 전위의 두 배로 설정될 때, 산화막 두께, 채널 길이, 드레인 전류 및 반도체 기판의 도핑 정도 등에 대한 문턱 전압의 의존성이 실질적으로 제거된다. 더욱이, 문턱 전압이 페르미 전위의 두 배로 설정될 때, 반도체 기판 면에서의 산화막과 채널간의 수직 전계(vertical electric field)가 최소화되고, 실질적으로 0으로 된다. 따라서, 채널에서의 캐리어 이동도(carrier mobility)는 최대화되며, 이는 핫 전자(hot electron) 효과를 크게 줄여주는 고속 동작 소자를 가능하게 한다. 소자 성능은 실질적으로 소자의 용적에 의존한다.

알려진 FET 소자들에 비해 페르미 문턱 FET의 큰 발전에도 불구하고, 페르미 FET 소자의 정전 용량을 감소시키는 것이 필요하다. 엘버트 W. 바이닐에 의한, 명칭이 모두, '감소된 게이트 및 확산 정전 용량을 가지는 페르미 문턱 전계 효과 트랜지스터(Fermi Threshold Field Effect Transistor With Reduced Gate and Diffusion Capacitance)'인 미합중국 특허 5,194,923호 및 5,369,295호에 의하면, 페르미-FET 소자는, 캐리어 전도를 돕기 위해서 반도체 기판의 표면에 형성되는 반전층을 필요로 하지 않고, 게이트 아래의 반도체 기판에 소정의 깊이로 설정되는 채널 내에서 전도성 캐리어가 흐르게 하는 것으로 기술되어 있다. 따라서, 채널 대전(channel charge)의 평균 깊이에는 게이트 정전 용량의 일부로서 기판의 유전율이 포함되어야 한다. 이에 따라, 게이트 정전 용량은 실질적으로 감소한다.

전술한 미합중국 특허 5,369,295호 및 5,194,923호에 기재되었듯이, 낮은 정전 용량의 페르미-FET는 소정의 깊이로 기판과 반대되고 드레인 및 소오스와 동일한 도전형을 가지는 페르미-터브 영역(Fermi-tub region)을 사용하여 구현하는 것이 바람직하다. 페르미 터브는 기판 표면에서부터 표면 아래로 소정 깊이로 연장되며 드레인 및 소오스 확산은 터브 경계내의 페르미 터브에서 이루어진다. 페르미-터브는 소오스, 드레인, 채널 및 페르미 터브 모두가 동일한 도전형으로, 그러나 각기 다른 도핑 농도로 도핑되는 동종 접합(unijunction) 트랜지스터를 형성한다. 이렇게 하여 낮은 정전 용량 페르미-FET가 마련된다. 이하, 페르미 터브를 가지는 낮은 정전 용량 페르미-FET를 '낮은 정전 용량 페르미-FET' 또는 '터브-FET'이라 칭한다.

알려진 FET 소자들에 비해 페르미-FET 및 낮은 정전 용량 페르미-FET의 큰 발전에도 불구하고, 페르미-FET에 의해서 제공되는 단위 채널 폭 당 전류의 증가가 계속 요구되고 있다. 당업계에서 평균적인 지식을 가진 자에게 잘 알려져 있듯이, 높은 전류의 페르미 FET 소자들은 로직 장치, 메모리 장치, 마이크로프로세서 및 다른 집적 회로 장치에 대해서 고집적화를 가능하게 하고, 또는 고속도화를 가능하게 할 수 있다. 이에 따라, 엘버트 W. 바이닐 및 본 발명의 발명자에 의한, 명칭이 '고전류 페르미 문턱 전계 효과 트랜지스터(High Current Fermi Threshold Field Effect Transistor)'인 미합중국 특허 5,374,836호는, 소오스 영역에 인접하고 드레인 영역과 대면하며, 페르미 터브 영역 및 소오스 영역과 동일한 도전형의 주입자 영역(injector region)을 구비하는 페르미-FET에 대해서 기술하고 있다. 상기 주입자 영역은 상대적으로 낮은 도핑 농도의 페르미 터브와 상대적으로 높은 도핑 농도의 소오스의 중간에 해당하는 도핑 정도로 도핑되는 것이 바람직하다. 주입자 영역은, 게이트 아래 소정의 깊이에서, 채널로 주입되는 캐리어의 깊이를 조절하고 채널로의 캐리어의 주입을 강화한다. 이하, 미합중국 특허 5,374,836호에 따르는 트랜지스터를 '고전류 페르미-FET'라 칭한다.

소오스 주입자 영역은 소오스 영역을 감싸는 소오스 주입자 터브 영역인 것이 바람직하다. 드레인 주입자 터브 영역 또한 도입될 수 있다. 또한, 소오스 주입자 영역 인근으로부터 페르미-FET의 게이트 전극 인근에 이르기까지 연장되는 게이트 측벽 스페이서가 핀치 오프 전압(pinch-off voltage)의 감소 및 페르미-FET에 대한 포화 전류 증가를 위해서 도입될 수 있다. 기판과 동종의 도전형을 가지는 바닥 누설(bottom leakage) 조절 영역 또한 도입될 수 있다.

알려진 FET 소자들에 비해 페르미-FET, 낮은 정전 용량 페르미-FET 및 고전류 페르미-FET의 큰 발전에도 불구하고, 낮은 전압에서의 페르미-FET의 작동에 개선이 요구되고 있다. 당업계에서 평균적인 지식을 가진 자에게 잘 알려져 있듯이, 저전력의 휴대용 또는 배터리 전력을 사용하는 장치가 현재 중요해지고 있으며, 전형적으로 이러한 장치는 5V, 3V, 1V 또는 그 이하의 전력 공급 전압에서 작동하고 있다.

주어진 채널 길이에 대해서 작동 전압을 낮추는 것은 횡방향 전계(lateral electric field)가 선형으로 급격히 저하되는 것을 야기한다. 매우 낮은 작동 전압에서의 횡방향 전계는 너무 낮아 채널에서 캐리어가 포화 속도에 도달하는 것을 방해한다. 이것은 가용 드레인 전류의 매우 급격한 저하로 귀결된다. 드레인 전류의 저하는 주어진 채널 길이에 대해서 유용한 회로 속도를 얻기 위한 동작 전압의 감소를 사실상 한정한다.

낮은 전압에서의 터브-FET 동작 개선을 위해서, 본 발명자에 의해 '등고선식-터브 페르미-문턱 전계 효과 트랜지스터 및 그 제조 방법(Contoured-Tub Fermi-Threshold Field Effect Transistor and Method of Forming Same)'이란 명칭으로 출원된 미합중국 특허 출원 08/351,643호에는 불균일한 터브 깊이를 가지는 등고선식 페르미-터브 영역을 구비하는 페르미-FET에 대해서 기술되어 있다. 특히, 페르미-터브는 소오스 및/또는 드레인 영역 아래가 채널 영역 아래보다 더 깊게 형성된다. 따라서, 터브-기판 접합은 소오스 및/또는 드레인 영역 아래가 채널 영역 아래보다 더 깊게 형성된다. 이에 따라, 확산 정전 용량(diffusion capacitance)은 균일한 터브 깊이를 가지는 페르미-FET에 비교해서 감소하게 되어, 낮은 전압에서 고포화 전류가 공급되게 된다.

특히, 미합중국 특허 출원 08/351,643호에 따른 등고선식-터브 페르미-문턱 전계 효과 트랜지스터는 제1도전형의 반도체 기판과, 반도체 기판에서 서로 거리를 두고 있는 제2도전형의 소오스 및 드레인 영역을 포함한다. 제2도전형의 채널 영역 또한 분리된 소오스 및 드레인 영역 사이의 반도체 기판 면에 형성된다. 제2도전형의 터브 영역 또한 반도체 기판의 기판 면에 형성된다. 터브 영역은 기판 면으로부터 서로 거리를 두고 있는 소오스 및 드레인 영역의 적어도 어느 하나의 아래에 이르기까지 제1소정 깊이로 연장되고, 기판 면으로부터 채널 영역 아래에 이르기까지 제2소정 깊이로 연장된다. 제2소정 깊이는 제1소정 깊이보다 작게 형성된다. 게이트 절연층 및 소오스, 드레인과 게이트 접촉 또한 구비된다. 기판 접촉 또한 구비될 수 있다.

바람직하게는, 제2소정 깊이, 즉, 채널과 인접한 등고선식-터브의 깊이는 전술한 미합중국 특허 5,194,923호 및 5,369,295호에 정의된 바와 같은 페르미-FET 기준을 만족시키는 깊이로 선정된다. 특히, 제2소정 깊이는

게이트 전극이 접지 전위일 때 채널의 바닥에서 기판 면에 수직하는 정적 전계(static electric field)가 0이 되도록 선정된다. 제2소정 깊이는 또한 반도체 기판의 페르미 전위의 두 배인 전계 효과 트랜지스터의 문턱 전압을 발생하도록 선정될 수 있다. 제1소정 깊이, 즉, 소오스 및/또는 드레인에 인접하는 등고선식-터브 영역의 깊이는 소오스 및/또는 드레인 접촉에 0 바이어스(zero bias)를 인가할 때 소오스 및/또는 드레인 영역 아래의 터브 영역이 공핍되도록 선정되는 것이 바람직하다.

마이크로 전자 공학의 제조 기술 상태가 진보함에 따라, 공정 선폭은 $1\mu\text{m}$ 이하로 급격히 감소되어 왔다. 이러한 감소된 선폭은 채널 길이가 실질적으로 $1\mu\text{m}$ 이하이고 현 공정 기술에 있어서는 일반적으로 $0.5\mu\text{m}$ 이하인 '단채널(short channel)' FET의 출현을 야기하고 있다.

상기한 미합중국 특허 5,194,923호 및 5,369,295호의 낮은 정전 용량 페르미-FET, 미합중국 특허 5,374,836호의 고전류 페르미-FET 및 특허 출원 08/351,643호의 등고선식 터브 페르미-FET는 낮은 전압에서 고성능이 가능한 단채널 FET를 제공하는 데 이용될 수 있다. 그러나, 선폭이 감소함에 따라 공정 제한이 FET의 제조에서 얻을 수 있는 용적 및 도전 특성을 제한할 수 있다는 것이 당업계에서 평균적인 지식을 가진 자에게 인식될 것이다. 따라서, 감소된 선폭에 대한 공정 조건은 상기한 공정 제한에 적용하기 위해서 페르미-FET 트랜지스터를 다시 최적화할 것을 요구하고 있다.

공정 제한에 적용하기 위한 페르미-FET 트랜지스터의 재최적화는, 본 발명자에 의한, 그 명칭이 '단채널 페르미-문턱 전계 효과 트랜지스터(Short Channel Fermi-Threshold Field Effect Transistors)'이고 본 발명의 양수인에 양도되었으며, 이로써 여기서 참조 문헌으로 결합하여 개시되는 미합중국 특허 출원 08/505,085호에서 제공되고 있다. 미합중국 특허 출원 08/505,085호의 단채널 페르미-FET는 본 발명에서 '단채널 페르미-FET'로 칭해지며, 깊이 방향으로 페르미 터브 이상으로 연장되며 또한 횡방향으로 페르미 터브 이상으로 연장될 수 있는 서로 거리를 두고 있는 소오스 및 드레인 영역을 구비한다. 소오스 및 드레인 영역이 터브 이상으로 연장되기 때문에, 전하 공유 상태(charge sharing condition)를 야기할 수 있는 기판과의 접합이 형성된다. 이러한 상태를 보상하기 위하여 기판의 도핑이 증가된다. 소오스 및 드레인 영역간의 매우 작은 간격은 터브 깊이를 감소시키는 바람직한 결과를 초래한다. 이는 게이트 전극이 문턱 전위에 있을 때 산화막과 기판의 계면에서 기판에 대해 수직인 정적 전계를 야기한다. 전형적인 장채널(long channel) 페르미-FET에서 이러한 전계는 근본적으로 영이다. 단채널 소자들에서 상기 전계는 MOSFET 트랜지스터에 비해 매우 낮지만, 장채널 페르미-FET에 비해서는 다소 높다.

특히, 단채널 페르미-FET는 제1도전형의 반도체 기판 및 반도체 기판 표면에 그 표면에서 제1깊이까지 연장되는 제2도전형 터브 영역을 구비한다. 단채널 페르미-FET는 또한 터브 영역 내에 제2도전형의 서로 거리를 두고 있는 소오스 및 드레인 영역을 구비한다. 상기 서로 거리를 두고 있는 소오스 및 드레인 영역은 기판 표면으로부터 제1깊이 이상 연장되고, 또한, 서로로부터 상기 터브 영역 이상으로 횡적으로 연장될 수 있다.

제2도전형의 채널 영역은 터브 영역에 구비되는데, 서로 거리를 두고 있는 소오스 및 드레인의 사이에, 제1깊이 보다 작은 제2깊이로 기판 표면으로부터 연장된다. 제1 및 제2깊이 중 적어도 하나는 게이트 전극이 문턱 전위에 있을 때 기판 표면에 대해서 수직인 정적 전계를 최소화하도록 기판 표면에서부터 제2깊이 사이에서 선정된다. 예를 들어, 종래의 MOSFET의 10^5V/cm 이상의 정적 전계에 비교되는 10^4V/cm 의 정적 전계가 단채널 페르미-FET에서 나타날 수 있다. 대조적으로, 미합중국 특허 5,194,923호 및 5,369,295호의 터브-FET는 종래의 MOSFET에 비교하면 실질적으로는 영인 10^3V/cm 보다 작거나 때때로 상당히 작은 값의 정적 전계를 발생시킬 수 있다. 또한, 상기 제1 및 제2 깊이는 반도체 기판의 페르미 전위의 두 배인 전계 효과 트랜지스터의 문턱 전압을 발생시킬 수 있는 깊이로 선정될 수 있고, 또한, 게이트 전극에 문턱 전압을 인가할 때 소오스 영역으로부터 드레인 영역으로 제2도전형의 캐리어가 채널 영역에서 제2깊이로 흐를 수 있도록 선정될 수 있고, 전계 효과 트랜지스터의 문턱 전압 이상으로 게이트 전극에 전압이 인가될 때 채널에 환전충을 발생시키지 않고 제2깊이로부터 기판 표면으로 채널 영역이 연장될 수 있다. 상기 트랜지스터는 게이트 절연층과, 소오스, 드레인 및 게이트 접촉을 더 구비한다. 기판 접촉 또한 구비될 수 있다.

집적 회로 전계 효과 트랜지스터의 계속된 축소화는 채널 길이를 $1\mu\text{m}$ 보다 매우 낮게 감소시켜 왔다. 이러한 트랜지스터의 계속된 축소화는 때로 매우 높은 기판 도핑 수준을 요구하고 있다. 높은 도핑 수준 및 보다 축소된 소자들에 의해 요구되는 감소된 동작 전압은 페르미-FET 및 종래의 MOSFET 소자들 모두의 소오스 및 드레인 영역에 관련되는 정전 용량의 큰 증가를 야기할 수 있다.

특히, 페르미-FET가 $1\mu\text{m}$ 이하의 규모가 됨에 따라, 소오스에서 드레인 유도 장벽 저하(Drain Induced Barrier Lowering; DIBL)의 증가에 따라 터브 깊이를 실질적으로 보다 얇게 형성하는 것이 전형적으로 필요하다. 불행히도, 단채널 페르미-FET에 대한 앞서 기술한 바와 같은 변화들에도 불구하고, 단채널 페르미-FET는 DIBL 및 트랜지스터 누설의 조절에 요구되는 깊이 및 도핑 수준을 만드는 것이 점점 어려워지는 그러한 크기에 도달한 것 같다. 더욱이, 채널에 있어서의 높은 도핑 수준은 캐리어 이동도를 감소시킬 수 있으며, 이것은 또한, 페르미-FET 기술의 고전류 장점을 감소시킬 수 있다. 드레인 전압의 감소와 함께 기판 도핑 수준이 높아지는 것은 또한 접합 정전 용량의 증가를 야기할 수 있다.

발명의 상세한 설명

본 발명의 목적은 개선된 페르미-문턱 전계 효과 트랜지스터(페르미-FET)를 제공하는 데 있다.

본 발명의 다른 목적은 개선된 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 제공하는 데 있다.

본 발명의 또 다른 목적은 짧은 채널 길이에 적용되는 개선된 페르미-FET 및 MOSFET를 제공하는 데 있다.

본 발명의 또 다른 목적은 채널에서 높은 도핑 수준이 요구되지 않고 매우 얇은 터브 깊이가 요구되지 않는 단채널 페르미-FET 및 MOSFET를 제공하는 데 있다.

본 발명의 또 다른 목적은 단채널 페르미-FET 및 MOSFET의 제조 방법을 제공하는 데 있다.

본 발명에 따르면, 상기의 목적 및 다른 목적은 드레인 바이어스에 의한 소오스 영역으로부터 채널로의 캐리어의 주입을 감소시키거나, 바람직하게는 방지하는 드레인 전계 종결 수단(drain field terminating means)을 소

오스 영역 및 드레인 영역 사이에 구비하는 페르미-FET에 의해서 구현된다. 상기 드레인 전계 종결 수단을 가지는 단채널 페르미-FET을 이제 고인이 된 페르미-FET의 발명자를 추모하며 이하 '바이널-FET(Vinal-FET)'라 칭하며, 상기 바이널-FET는 페르미-FET과 유사하게 채널에 낮은 수직 전계를 허용하면서도 과도한 드레인 유도 장벽 저하를 방지한다. 게다가, 상기 바이널-FET는 더 높은 캐리어 이동도를 허용하며, 동시에 소오스 및 드레인 접합 정전 용량을 크게 줄인다.

드레인 전계 종결 수단은 상기 소오스 영역 및 드레인 영역 사이의 매몰 카운터 도핑된 층에 의해서 바람직하게 구현되고 기판 표면 아래에서 소오스 영역으로부터 드레인 영역에까지 연장된다. 특히, 바이널-FET는 제1도전형의 반도체 기판 및 상기 기판 내에 상기 기판 표면에 제2도전형의 터브 영역을 구비한다. 서로 거리를 두고 있는 제2도전형의 소오스 영역 및 드레인 영역은 상기 터브 영역 내 상기 기판 표면에 구비된다. 제1도전형의 매몰 드레인 전계 종결 수단 또한 상기 터브 영역에 구비된다. 상기 매몰 드레인 전계 종결 수단은 상기 기판 표면 아래에서 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장된다. 게이트 절연층과 소오스 전극, 드레인 전극 및 게이트 전극이 또한 구비된다. 이에 따라, 바이널-FET는, 드레인 바이어스가 상기 소오스 영역으로부터 상기 터브 영역으로 캐리어를 주입시키는 것을 방지하는 카운터 도핑된 매몰 드레인 전계 종결 영역이 추가된 페르미-FET로 간주될 수 있다.

바이널-FET 구조는 또한 삼중 터브 구조로 간주될 수 있다. 상세하게는, 제1도전형의 반도체 기판이 상기 기판의 표면에 상기 기판 표면으로부터 상기 기판 내로 제1깊이로 연장되는 제2도전형의 제1터브 영역을 구비한다. 제1도전형의 제2터브 영역은 상기 제1터브 영역에 구비되어 상기 기판 표면으로부터 상기 기판 내로 제2깊이로 연장되며, 상기 제2깊이는 상기 제1깊이 보다 작게 된다. 제2도전형의 제3터브 영역은 상기 제2터브 영역에 구비되어 상기 기판 표면으로부터 상기 기판 내로 제3깊이로 연장되며, 상기 제3깊이는 상기 제2깊이보다 작다. 서로 거리를 두고 있는 제2도전형의 소오스 영역 및 드레인 영역은 상기 제1터브 영역에 구비되며 상기 기판 표면으로부터 상기 기판 내로 제4깊이로 연장되며, 상기 제4깊이는 상기 제3깊이보다 크다. 게이트 절연층과 소오스 전극, 드레인 전극 및 게이트 전극 또한 제공된다. 트랜지스터의 일 실시예에서, 상기 소오스 영역 및 드레인 영역은 상기 기판 내로 상기 제3깊이보다 크지만 상기 제2깊이보다 작은 제4깊이로 투입된다. 다른 실시예에서, 상기 소오스 영역 및 드레인 영역은 상기 기판 내로 상기 제2깊이보다 크지만 상기 제1깊이보다 작은 제4깊이로 투입된다.

바이널-FET는, 또한, 제1도전형의 기판에 서로 거리를 두고 있는 제2도전형의 소오스 영역 및 드레인 영역 사이에 연장되며 구별되는 세 층들을 구비하는 전계 효과 트랜지스터로 간주될 수 있다. 제2도전형의 제1층은 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되며 상기 기판의 표면으로부터 상기 기판 내로 제1깊이로 연장된다. 상기 기판 내의 제1도전형의 제2층은 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되며 상기 기판 내로 상기 제1깊이에서 상기 기판의 표면으로부터의 제2깊이에까지 연장된다. 상기 제2도전형의 제3층은 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되며 상기 기판 내로 상기 제2깊이에서 상기 기판의 표면으로부터의 제3깊이에까지 연장된다. 상기 바이널-FET의 제1실시예에서 상기 소오스 영역 및 드레인 영역은 상기 반도체 기판 내의 소오스 및 드레인 바닥을 포함하며, 상기 제2층 및 제3층 모두 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 연장된다. 제2실시예에서는, 상기 제3층만이 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 연장되고, 상기 제2층은 상기 소오스의 측벽으로부터 상기 드레인의 측벽에까지 연장된다.

상기 드레인 전계 종결 수단은 상기 터브 영역 내의 제1도전형의 매몰 영역, 상기 제1터브 영역 내의 제1도전형의 제2터브 영역, 또는 상기 소오스와 드레인 사이에 연장되는 제1도전형의 제2층으로 구현되고, 페르미-FET의 채널에서 보다 낮은 수직 전계를 여전히 허용하면서도 과도한 드레인 유도 장벽 저하를 방지한다. 보다 높은 캐리어 이동도와 소오스 및 드레인 접합 정전 용량의 큰 감소가 구현된다.

상기 바이널-FET의 상기 드레인 전계 종결 수단은 또한 일반적인 MOSFET에서 적어도 상기한 바와 같은 이점의 일부를 구현하기 위해서 사용되어질 수 있다. 상세하게는, 일반적인 MOSFET는 제1도전형의 반도체 기판과, 상기 기판 내에 상기 기판 표면에서 서로 거리를 두고 있는 제2도전형의 소오스 영역과 드레인 영역을 구비한다. 제1도전형의 제1층이 상기 기판 내에 상기 기판 표면에서 구비되어 소오스 영역으로부터 드레인 영역에까지 연장되며, 상기 기판 표면으로부터 제1깊이로 상기 기판 내로 연장된다. 상기 제2도전형의 제2층이 상기 기판 내에 구비되어 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되고, 상기 제1깊이에서 상기 기판 표면으로부터의 제2깊이로 상기 기판 내로 연장된다. 상기 제2층 또는 상기 제1층 및 제2층은 또한 상기 소오스 바닥으로부터 상기 드레인 바닥까지 연장되어 제1터브 영역 및 제2터브 영역을 각각 선정한다.

상기한 바이널-FET를 제조하는 바람직한 방법은 제3터브 영역(또는 제1층)을 에피택셜 성장 방법으로 형성하며, 이에 따라 상기 드레인 전계 종결 영역(또는 제2터브 또는 제2층)에 대해서 카운터 도핑될 필요가 없다. 상기 제3터브 또는 제1층을 에피택셜 성장 방법으로 형성함으로써, 보다 높은 캐리어 이동도가 주어진 도핑 수준에서 얻어질 수 있다. 이에 따라, 상기 바이널-FET를 형성하는 바람직한 방법은 상기 기판 표면의 제1터브 영역에 이온 주입하는 단계 및 상기 제1터브 영역 내의 제2터브 영역에 이온 주입하는 단계를 구비한다. 결국, 인 시튜 도핑(in situ doping)이나 후속 이온 주입을 수반하며 에피택셜 증착을 수행하여 상기 제2터브 영역 내에 제3터브 영역을 형성한다. 다음에, 다결정질 실리콘 게이트가 일반적인 기술을 사용하여 형성되고 소오스 영역 및 드레인 영역이 이온 주입으로 형성된다. 이에 따라, 채널에서의 캐리어 이동도의 증가가 구현된다.

도면의 간단한 설명

도 1은 미합중국 특허 출원 08/037,636호에 따르는 N-채널 고전류 페르미-FET를 설명하기 위해 도시한 단면도이다.

도 2a는 미합중국 특허 5,374,836호에 따르는 단채널의 낮은 누설 전류 페르미-FET의 제1실시예를 설명하기 위해서 도시한 단면도이다.

도 2b는 미합중국 특허 5,374,836호에 따르는 단채널의 낮은 누설 전류 페르미-FET의 제2실시예를 설명하기 위해서 도시한 단면도이다.

도 3은 미합중국 특허 출원 08/037,636호에 따르는 N-채널의 등고선식-터브 페르미-FET를 설명하기 위해서 도시한 단면도이다.

도 4는 미합중국 특허 출원 08/505,085호에 따르는 N-채널의 단채널 페르미-FET를 설명하기 위해서 도시한 단면도이다.

도 5는 미합중국 특허 출원 08/505,085호에 따르는 N-채널의 단채널 페르미-FET의 제2실시예를 설명하기 위해서 도시한 단면도이다.

도 6은 본 발명에 따르는 바이널-FET의 제1실시예를 설명하기 위해서 도시한 단면도이다.

도 7은 본 발명에 따르는 바이널-FET의 제2실시예를 설명하기 위해서 도시한 단면도이다.

도 8은 도 6 및 도 7의 8-8'선에 따른 바이널-FET에 대한 순도평 프로파일을 설명하기 위해서 도시한 그래프이다.

도 9a 및 도 9b는 각각 도 7 및 도 6의 9A-9A' 및 9B-9B'선에 따른 순도평 프로파일을 설명하기 위해서 도시한 그래프들이다.

도 10, 11 및 12는 도 7의 바이널-FET에 대한 실사 결과를 설명하기 위해서 도시한 도면들이다.

도 13은 도 6 및 도 7의 바이널-FET의 드레인 전계 종결 영역을 위한 바람직한 최소 도평을 설명하기 위해서 도시한 그래프이다.

도 14는 인가되는 전압에 대한 소오스 영역 또는 드레인 영역의 정전 용량을 설명하기 위해서 도시한 그래프이다.

도 15a 내지 도 15e는 도 6의 바이널-FET의 중간 제조 단계를 설명하기 위해서 도시한 단면도들이다.

도 16은 총 불순물 농도의 함수로서의 실리콘에서의 캐리어 이동도를 설명하기 위해서 도시한 그래프이다.

도 17 및 18은 본 발명에 따르는 고성능 MOSFET를 설명하기 위해서 도시한 단면도들이다.

실시예

이하, 본 발명의 바람직한 실시예들이 도시된 첨부 도면을 참조하여 본 발명을 보다 상세하게 설명한다. 그러나, 본 발명은 여러 가지 다른 형태로 실시될 수 있으며, 본 발명이 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안되며, 오히려, 이 실시예들은 본 발명의 개시를 보다 완전하고 완벽하게 하기 위해서 제공되어지는 것이며, 당업계에서 평균적인 지식을 가진 자에게 본 발명의 범위를 보다 완전하게 전달하기 위해서 제공되어지는 것이다. 도면에서의 층들 및 영역들의 두께는 보다 명확한 설명을 강조하기 위해서 과장되어진 것이다. 도면상에서 같은 부호는 동일한 요소를 의미한다.

본 발명의 드레인 전계 종결 영역을 구비하는 단채널 페르미-문턱 전계 효과 트랜지스터('바이널-FET'로도 칭한다)를 설명하기 이전에, 미합중국 특허 5,194,923호 및 5,369,295호의 감소된 게이트 및 확산 정전 용량을 가지는 페르미-문턱 전계 효과 트랜지스터('낮은 정전 용량 페르미-FET' 또는 '터브-FET'로도 칭한다)를 설명하고 미합중국 특허 5,374,836호의 고전류 페르미-문턱 전계 효과 트랜지스터를 설명한다. 미합중국 특허 출원 08/351,643호의 등고선식-터브 페르미-FET도 설명된다. 미합중국 특허 출원 08/505,085호의 단채널 페르미-FET 또한 설명된다. 보다 완전한 설명은 이러한 특허 및 출원서에서 찾을 수 있으며, 이로써 이 개시는 여기서 참조 문헌으로써 결합된다. 이하, 본 발명에 따르는 바이널-FET를 설명한다.

감소된 게이트 및 확산 정전 용량을 가지는 페르미-FET

이하, 페르미-터브를 구비하는 낮은 정전 용량 페르미-FET를 요약한다. 보다 상세한 사항은 미합중국 특허 5,194,923호 및 5,369,295호에서 찾을 수 있다.

일반적인 MOSFET 소자는 캐리어의 전도를 지원하기 위해서 반도체 기판의 표면에서 형성되는 반전층을 필요로 한다. 상기 반전층의 깊이는 전형적으로 100Å 또는 그 이하이다. 이러한 상황에서 게이트 정전 용량은 본질적으로 게이트 절연막의 유전율을 그 두께로 나눈 값이다. 즉, 채널 전하는 표면에 매우 근접하여 기판의 유전 특성에 의한 효과는 게이트 정전 용량을 결정하는 데 중요하지 않다.

전도 캐리어가 게이트 아래의 채널 영역에 국한되면 게이트 정전 용량은 낮춰질 수 있다. 여기서 채널 전하의 평균 깊이는 게이트 정전 용량을 계산하기 위해서 상기 기판의 유전율을 산입할 것을 요구한다. 일반적으로, 상기 낮은 정전 용량 페르미-FET의 게이트 정전 용량은 다음의 수학식1에 의해서 설명된다.

$$C_g = \frac{1}{\frac{Y_f}{\beta \epsilon_s} + \frac{T_{ox}}{\epsilon_i}}$$

상기 수학식1에서, Y_f 는 페르미 채널이라 불리는 전도 채널의 깊이이고, ϵ_s 는 상기 기판의 유전율이며 β 는 상기 기판 아래의 상기 페르미 채널 내로 흐르는 전하의 평균 깊이를 결정짓는 계수이다. β 는 상기 소오스로부터 상기 채널로 주입되는 캐리어의 깊이 의존 프로파일(depth dependant profile)에 의존한다. 상기 낮은 정전 용량 페르미-FET에 대해서 $\beta \propto \sqrt{N_d}$ 이다. T_{ox} 는 게이트 산화막의 두께이고 ϵ_i 는 상기 게이트 산화막의 유전율이다.

낮은 정전 용량 페르미-FET는 기판의 도전형에 반대되고 드레인 영역 및 소오스 영역의 도전형과 동일한 도전형을 가지는 소정 깊이의 페르미-터브 영역을 구비한다. 상기 페르미-터브는 상기 기판 표면으로부터 아래로 소정의 깊이로 연장되고, 드레인 및 소오스의 확산은 상기 페르미-터브의 경계 내의 페르미-터브 영역에

형성된다. 바람직한 상기 페르미-터브의 깊이는 페르미 채널 깊이 Y_f 와 공핍층의 깊이 Y_0 의 합이다. 소정 깊이 Y_f 와 폭 Z 를 가지는 페르미 채널 영역은 상기 소오스 및 상기 드레인 확산 사이로 연장된다. 페르미 채널의 전도성은 게이트 전극에 인가되는 전압에 의해서 조절된다.

게이트 정전 용량은 페르미 채널의 깊이 및 페르미 채널에서의 캐리어의 분포에 의해서 대부분 결정되고, 게이트 산화층의 두께에는 비교적 의존하지 않는다. 확산 정전 용량은 페르미 터브의 깊이와 기판에서의 공핍층 깊이 Y_0 의 합과 확산의 깊이 X_d 의 차이에 역으로 의존한다. 상기 확산 깊이는 상기 페르미-터브의 깊이, Y_f 보다 작은 것이 바람직하다. 상기 페르미-터브 영역에 대한 도판트 농도(dopant concentration)는 페르미 채널의 깊이가 MOSFET 내의 반전층의 깊이보다 세배 이상 크게 허용하도록 선정되는 것이 바람직하다.

이에 따라, 상기 낮은 정전 용량 페르미-FET은 제1표면을 가지는 제1도전형의 반도체 기판, 상기 기판 내에 상기 기판 표면에서 제2도전형의 페르미-터브 영역, 상기 페르미-터브 영역 내에서 상기 제1표면에 서로 거리를 두고 있는 제2도전형의 캐리어와 소오스 영역, 및 상기 페르미-터브 영역 내의 상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역 사이의 상기 제1표면에 상기 제2도전형의 채널을 구비한다. 상기 채널은 상기 제1표면으로부터의 소정의 제1깊이(Y_f)로 연장되고 상기 터브는 상기 채널로부터 소정의 제2깊이(Y_0)로 연장된다. 게이트 절연층은 상기 서로 거리를 두고 있는 소오스 및 드레인 영역 사이의 상기 반도체 기판의 제1표면 상에 구비된다. 소오스 전극, 드레인 전극 및 게이트 전극이 상기 소오스 영역, 드레인 영역 및 게이트 절연층 각각에 전기적인 접촉을 위해서 구비된다.

적어도 상기 소정의 제1 및 제2깊이는 상기 게이트 전극에 전계 효과 트랜지스터의 문턱 전압이 인가될 때 상기 제1깊이에서 상기 제1표면에 수직하는 정적 전계를 발생하지 않도록 선정된다. 상기 소정의 제1 및 제2깊이는 또한 제2도전형의 캐리어가 채널 내에서 상기 소오스로부터 상기 드레인으로 흐르도록 선정되고, 상기 게이트 전극으로 상기 전계 효과 트랜지스터의 문턱 전압 이상의 전압이 인가될 때 상기 소정의 제1깊이로부터 상기 제1표면 쪽으로 채널 영역이 연장된다. 상기 페르미-터브 영역 내에 반전층을 형성하지 않고 상기 제1표면 아래에서 상기 소오스 영역으로부터 상기 드레인 영역으로 상기 캐리어가 흐른다. 상기 소정의 제1 및 제2깊이는, 또한, 상기 게이트 절연층 인근의 상기 기판 표면에 기판 접촉과 기판 사이 및 다결정질 실리콘 게이트 전극과 게이트 전극 사이의 전압의 합과 동등하고 반대 극성의 전압을 발생하도록 선정된다.

상기 기판이 N_s 의 도핑 밀도로 도핑될 때, 상기 기판은 ϵ_s 의 유전율과 켈빈 온도 T 에서 n_i 의 진성 캐리어 농도를 가지고, 상기 전계 효과 트랜지스터는 상기 기판과 전기적인 접촉을 위한 기판 접촉을 구비하고, 상기 채널은 상기 기판의 표면으로부터 소정의 제1깊이 Y_f 에까지 연장되고, 상기 페르미-터브 영역은 상기 채널로부터 소정의 제2깊이 Y_0 에까지 연장되고, 상기 페르미-터브 영역은 N_s 의 계수 α 배의 도핑 밀도로 도핑되고, 상기 게이트 전극은 N_p 의 도핑 밀도로 도핑된 제1도전형의 다결정질 실리콘층을 구비하고, 상기 소정의 제1깊이(Y_f)는 다음의 수학적 식 2와 같고 수학적 식 2에서 q 는 1.6×10^{-19} 쿨롱(coulomb)이고 K 는 1.38×10^{-23} J/. K(joules/. Kelvin)이다.

$$Y_f = \sqrt{\frac{2\epsilon_s}{qN_s\alpha} \frac{kT}{q} \ln\left(\frac{N_p}{N_s}\right)}$$

상기 소정의 제2깊이(Y_0)는 다음의 수학적 식 3과 같고, ϕ_s 는 $\frac{2\phi_f + kT/q \ln(\alpha)}{2}$ 이고, ϕ_f 는 반도체 기판의 페르미 전위이다.

$$Y_0 = \sqrt{\frac{2\epsilon_s\phi_s}{qN_s\alpha(\alpha+1)}}$$

고전류 페르미-FET 구조

이하 도1을 참조하여 미합중국 특허 5,374,836호에 따르는 N-채널 고전류 페르미-FET를 설명한다. P-채널 페르미-FET가 N 및 P 영역의 도전형을 반전시킴으로써 얻어질 수 있다는 것을 당업계에서 평균적인 지식을 가진 자라면 알 수 있다.

도1에 도시되듯이 고전류 페르미-FET(20)은 제1도전형, 여기서는 P형을 가지고 기판 표면(21a)을 구비하는 반도체 기판(21)에 형성된다. 제2도전형, 여기서는 N형의 페르미-터브 영역(22)은 기판(21) 내에서 기판 표면(21a)에서 형성된다. 제2도전형, 여기서는 N형의 서로 거리를 두고 있는 소오스 영역 및 드레인 영역(23 및 24)은 상기 페르미-터브 영역(22) 내에서 상기 표면(21a)에서 형성된다. 당업계에서 평균적인 지식을 가진 자라면 소오스 및 드레인 영역은 상기 표면(21a)의 트랜치 내에서도 또한 형성될 수 있음을 알 수 있다.

게이트 절연층(26)은 서로 거리를 두고 있는 소오스 및 드레인 영역(23 및 24) 사이에 위치하는 상기 반도체 기판(21)의 상기 표면(21a) 상에 형성된다. 당업계에서 평균적인 지식을 가진 자라면, 상기 게이트 절연층이 전형적으로 실리콘 산화물이라는 것을 알 수 있다. 그러나, 실리콘 질화물 및 다른 절연물 또한 사용될 수 있다.

게이트 전극은 게이트 절연층(26) 상에 상기 기판(21)에 대향되게 형성된다. 게이트 전극은 제1도전형, 여기서는 P형의 다결정질 실리콘 게이트 전극층(28)을 구비한다. 도전형 게이트 전극층, 전형적으로는 금속 게이트 전극층(29)이 게이트 절연층(26)에 대향되게 다결정질 실리콘 게이트 전극(28) 상에 형성된다. 소오스 전극(31) 및 드레인 전극(32)은 전형적으로 금속으로 상기 소오스 영역(23) 및 드레인 영역(24) 상에 각각 형성된다.

제1도전형, 여기서는 P형의 기판 접촉(33) 또한 도시된 페르미-터브(22)의 안 또는 바깥의 기판(21)에 형성된다. 도시되듯이, 기판 접촉(33)은 제1도전형, 여기서는 P형으로 도핑되어 있고 상대적으로 고농도로 도핑된 영

역(33a) 및 상대적으로 저농도로 도핑된 영역(33b)을 구비할 수 있다. 기판 전극(34)은 기판에 전기적인 접촉을 형성한다.

도 1을 참조하여 이제까지 설명한 구조는 미합중국 특허 5,194,923호 및 5,369,295호의 낮은 정전 용량 페르미-FET 구조에 상응한다. 이 출원들에 이미 기재된 바와 같이, 채널(36)은 상기 소오스 및 드레인 영역(23 및 24)의 사이에 형성된다. 도 1에 Y_1 로 표시된 상기 표면(21a)으로부터의 채널의 깊이 및 상기 채널의 바닥으로부터 페르미-터브(200)의 바닥에 이르는, 도 1에서 Y_0 로 표시된, 깊이는 기판(21), 터브 영역(22) 및 다결정질 실리콘 게이트 전극(28)의 도핑 수준과 함께, 수학식 2 및 수학식 3의 관계를 이용하여 고성능의, 낮은 정전 용량 전계 효과 트랜지스터를 구현하도록 선정된다.

또한, 도 1을 참조하면, 제2도전형, 여기서는 N형의 소오스 주입자 영역(37a)은 상기 드레인 영역에 대향하는 소오스 영역(23)의 인근에 제공된다. 상기 소오스 주입자 영역은 캐리어가 채널(36)로 주입되는 깊이를 조절함으로써 고전류, 페르미-FET를 구현한다. 소오스 주입자 영역(37a)은 단지 소오스 영역(23) 및 드레인 영역(24)의 사이에만 연장될 수 있다. 상기 소오스 주입자 영역은 도 1에 도시된 바와 같이 소오스 영역(23)을 둘러싸 소오스 주입자 터브 영역(37)을 형성하는 것이 바람직하다. 소오스 영역(23)은 상기 소오스 주입자 터브 영역(37)에 의해서 측벽 및 바닥 면이 완전히 둘러싸일 수 있다. 선택적으로, 소오스 영역(23)은 상기 소오스 주입자 터브 영역(37)에 의해서 측벽이 둘러싸이고, 바닥 면에서 상기 소오스 주입자 터브 영역(37)을 뚫고 돌출될 수 있다. 또는, 소오스 주입자 영역(37a)은 기판 내로(21) 페르미-터브(22)와 기판(21)간의 접합에까지 연장될 수 있다. 드레인 주입자 영역(38a), 바람직하게는 드레인 영역(24)을 둘러싸는 드레인 주입자 터브 영역(38) 또한 구비되는 것이 바람직하다.

소오스 주입자 영역(37a) 및 드레인 주입자 영역(38a) 또는 소오스 주입자 터브 영역(37) 및 드레인 주입자 터브 영역(38)은, 페르미-터브(22)의 상대적으로 낮은 도핑 수준과 소오스(23) 및 드레인(24)의 상대적으로 높은 도핑 수준의 중간 정도의 도핑 수준으로 제2도전형, 여기서는 N형으로 도핑되는 것이 바람직하다. 이에 따라, 도 1에서 도시된 바와 같이 페르미-터브(22)는 N으로 표시되고, 소오스 및 드레인 주입자 터브 영역(37, 38)은 N^+ 로 표시되며 소오스 및 드레인 영역(23, 24)은 N^{++} 로 표시된다. 이에 따라, 동종 접합 트랜지스터가 형성된다.

고전류 페르미-FET는 종래의 FET의 상태에 비해 대략 4배정도 큰 구동 전류를 제공한다. 게이트 정전 용량은 종래의 FET 소자에 비해 대략 반 정도이다. 상기 소오스 주입자 터브 영역(37)의 도핑 농도는 채널 영역(36)으로 주입되는 캐리어의 깊이, 전형적으로 대략 1000Å까지의 캐리어 깊이를 조절한다. 소오스 주입자 터브 영역(37) 도핑 농도는 전형적으로 $2E18$ 이고, 적어도 주입되는 다수 캐리어의 요구되는 최대 깊이만큼의 깊이를 가지는 것이 바람직하다. 또는, 후술하는 바와 같은 문턱 전압 이하에서의 누설 전류(subthreshold leakage current)를 최소화하기 위해서 페르미-터브 영역(22)만큼의 깊이로 연장될 수 있다. 채널(36) 내로 주입되는 캐리어의 농도는 드레인에 대향하는 소오스 주입자 영역(37a)의 도핑 농도를 초과할 수 없음을 알 수 있다. 소오스 주입자 영역(37a)의 드레인에 대향되는 일부는 전형적으로 0.05 내지 0.15 μm 의 범위 내의 폭을 가진다. 소오스 및 드레인 영역(23 및 24)의 도핑 농도는 전형적으로 $1E19$ 또는 그 이상이다. 페르미 터브(22)의 깊이 $Y_T = (Y_1 + Y_0)$ 는 대략 2200Å이며 대략 $1.8E16$ 의 도핑 농도를 가진다.

도 1에 도시된 바와 같이 고전류 페르미-FET(20)은 또한 기판 표면(21a) 상에 게이트 측벽 스페이서(41)를 구비하며, 상기 게이트 측벽 스페이서(41)는 소오스 주입자 영역(37a)의 인근으로부터 다결정질 실리콘 게이트 전극(28)의 인근에까지 연장된다. 게이트 측벽 스페이서(41)는 또한 상기 드레인 주입자 영역(38a)의 인근으로부터 상기 다결정질 실리콘 게이트 전극(28)의 인근에까지 연장되는 것이 바람직하다. 상세하게는 도 1에 도시된 바와 같이 게이트 측벽 스페이서(41)는 상기 다결정질 실리콘 전극 측벽(28a)으로부터 연장되고 상기 소오스 및 드레인 주입자 영역(37a 및 38a) 각각을 덮고 있다. 게이트 측벽 스페이서(41)는 상기 다결정질 게이트 전극(28)을 둘러싸는 것이 바람직하다. 또한, 상세하게 아래에서 설명되듯이, 게이트 절연층(26)은 기판 표면(21a)에서 소오스 주입자 영역(37a) 및 드레인 주입자 영역(38a) 상으로 연장되고, 상기 게이트 측벽 스페이서(41) 또한 상기 소오스 주입자 영역(37) 및 드레인 주입자 영역(38) 상으로 연장되는 것이 바람직하다.

게이트 측벽 스페이서(41)는 아래에 상세하게 설명하는 방식으로 페르미-FET(20)의 핀치 오프 전압을 낮추고 포화 전류를 증가시킨다. 게이트 측벽 스페이서는 게이트 절연층(26)의 유전율보다 더 큰 유전율을 가지는 절연물인 것이 바람직하다. 따라서, 예를 들어 게이트 절연층(26)이 실리콘 산화물이면, 상기 게이트 측벽 스페이서는 실리콘 질화물인 것이 바람직하다. 만일, 게이트 절연층(26)이 실리콘 질화물이면, 게이트 측벽 스페이서는 실리콘 질화물보다 큰 유전율을 가지는 절연물인 것이 바람직하다.

도 1에 도시되듯이, 게이트 측벽 스페이서(41)는, 또한, 소오스 및 드레인 영역(23 및 24)의 상으로 연장될 수 있고, 소오스 및 드레인 전극(31 및 32)은 상기 게이트 측벽 스페이서 영역의 연장부에 각각 형성될 수 있다. 종래의 필드 산화층 또는 다른 절연층(42) 영역은 상기 소오스, 드레인 및 기판 접촉을 분리시킨다. 또한, 비록 게이트 측벽 스페이서(41)의 바깥 표면(41a)이 단면에서 곡선으로 도시되지만, 삼각 단면을 나타내는 선형의 바깥 표면 및 사각 단면을 나타내는 직각의 바깥 표면과 같은 다른 형태도 사용되는 것이 가능하다는 것은 당 업계에서 평균적인 지식을 가진 자에게 잘 알려져 있다.

낮은 누설 전류 페르미-문턱 전계 효과 트랜지스터

이하, 도 2a 및 2b를 참조하여, 미합중국 특허 5,374,836호에 따르는 단채널이지만 낮은 누설 전류를 발생시키는 페르미-FET를 설명한다. 이하, 이러한 소자들을 '낮은 누설 전류 페르미-FET'라 한다. 도 2a의 낮은 누설 전류 페르미-FET(50)은 기판(21)보다 상대적으로 높은 농도로 도핑된 제1도전형의, 여기서는 P형의, 바닥 누설 전류 조절 영역(51)을 구비한다. 이에 따라, 상기 바닥 누설 전류 조절 영역(51)을 도 2a에서는 P^+ 로 표시한다. 도 2b의 낮은 누설 전류 페르미-FET(60)은 연장된 소오스 및 드레인 주입자 영역(37a, 38a)을 구비한다. 상기 연장된 소오스 및 드레인 주입자 영역(37a, 38a)은 페르미-터브의 깊이까지 연장되는 것이 바람직하다.

이하 도 2a를 참조하면, 바닥 누설 전류 조절 영역(51)은 소오스 및 드레인 영역(23 및 24)의 대향하는 말단의 연장부 사이로부터 기판(21)을 가로질러 연장되고, 페르미-터브(22)의 깊이 위로부터 페르미-터브의 깊이 아래까지 반도체 기판 내로 연장된다. 바람직하게는, 페르미-채널(36)에 아래에 정렬되어 위치한다. 상술한 바와

같은 수학적식에 일치하게, 페르미-채널(36)로부터 바닥 누설 전류 조절 영역(51)의 꼭대기까지의 깊이는 Y_0 으로 표시된다. 도 2a의 페르미-FET 트랜지스터의 나머지는 보다 짧은 채널이 도시된 점을 제외하고는 도 1에서 도시된 바와 일치한다. 낮은 누설 전류 낮은 정전 용량, 도 2a의 소자의 고전류 특성들을 가지지 않는 단 채널 페르미-FET를 구현하기 위해서, 게이트 측벽 스페이서 영역(41) 뿐만 아니라 주입자 영역(37a 및 38a) 및/또는 주입자 터브(37 및 38)도 생략될 수 있다는 것을 당업계에서 평균적인 지식을 가진 자라면 알 수 있다.

바닥 누설 전류 조절 영역(51)은, 단채널 페르미 전계 효과 트랜지스터, 즉, 대략 $0.5\mu\text{m}$ 또는 그 이하의 채널 길이를 가지는 전계 효과 트랜지스터에서, 낮은 확산 공핍층 정전 용량을 유지하며 드레인 유도 주입을 최소화한다. 예를 들어, 5V에서 3E-13A 또는 그 이하의 누설 전류가 유지된다.

바닥 누설 전류 조절 영역은 도 2a 및 2b에서 도시되듯이 채널로부터 바닥 누설 전류 조절 영역(51)의 꼭대기까지의 깊이를 Y_0 으로 할 때 수학적식 2 및 3을 사용하여 설계될 수 있다. 계수 a 는 상기 바닥 누설 전류 조절 영역(51)의 P^+ 도핑 정도 및 페르미-터브(22)의 N 도핑 정도간의 비율을 의미한다. a 는 바닥 누설 전류 조절 영역 내에서, 즉, 게이트(28) 아래에서 대략 0.15로 설정되는 것이 바람직하다. 소오스 및 드레인 영역(23 및 24)의 아래에서 상기 a 는 확산 공핍층 정전 용량을 최소화하기 위해서 대략 1.0으로 설정되는 것이 바람직하다. 즉, 기판(21)과 페르미-터브(22)의 도핑 농도는 상기 소오스 및 드레인 아래의 영역에서 대략 동일하게 된다. 이에 따라, 상기한 바와 같은 설계 변수 및 $0.5\mu\text{m}$ 의 채널 넓이에서 바닥 누설 전류 조절 영역(51)의 도핑 농도는 대략 $5E17$ 이고 드레인 또는 소오스 확산 전위가 5V로 주어진 터브-접합 영역에서 부분적인 공핍층을 유지할 수 있게 충분히 깊게 형성된다.

이하 도 2b를 참조하면, 바닥 누설 전류 조절 영역에 대한 대안으로서의 디자인은 소오스 주입자 영역(37a) 및 드레인 주입자 영역(38a)의 깊이를 바람직하게는 페르미-터브의 깊이($Y_t + Y_0$)까지 연장하는 것이다. 도 2b에 도시된 바와 같이, 전체 소오스 주입자 터브(37) 및 드레인 주입자 터브(38)는 바람직하게 페르미-터브의 깊이까지 연장될 수 있다. 상기 소오스 및 드레인 주입자 터브(37 및 38)의 바닥과 상기 페르미-터브의 바닥간의 분리된 거리는 채널 길이의 반 이하인 것이 바람직하며 0에 접근하는 것이 바람직하다. 이러한 조건하에서, 상기 소오스 및 드레인 주입자 터브(37 및 38)는 대략 $1.5E18/\text{cm}^2$ 의 도핑 농도를 가진다. 소오스 접촉 영역(33b)의 깊이 또한 페르미-터브 깊이에 접근하는 것이 바람직하다. 도 2b의 페르미-FET 트랜지스터(60)의 나머지는 보다 짧은 채널이 도시된 점을 제외하고는 도 1을 참조하여 설명한 바와 동일하다.

등고선식-터브 페르미-문턱 전계 효과 트랜지스터

이하 도 3을 참조하여, 미합중국 특허 출원 08/037,636호에 따르는 N -채널 등고선식-터브 페르미-FET를 설명한다. 당업계에서 평균적인 지식을 가진 자는 N 및 P 영역의 도전형을 바꿈으로써 P -채널 페르미-FET를 구현할 수 있다는 것을 알 수 있다. 도 3에 도시된 바와 같이, 등고선식-터브 페르미-FET(20')는 균일한 터브 깊이를 가지는 도 1의 터브(22) 대신에 등고선식-터브(22')를 도입하는 점을 제외하고는 도 1에 도시된 바와 같은 고전류 페르미-FET(20)와 유사하다. 주입자 터브 및 주입자 영역들은 도입될 수 있음에도 불구하고 도시되지는 않았다.

이하 도 3을 참조하면, 등고선식-터브(22')는 기판 면(21a)으로부터 서로 거리를 두고 있는 소오스 및 드레인 영역(23, 24) 중 적어도 하나의 아래에까지 소정의 제1깊이 Y_1 을 가진다. 상기 등고선식-터브(22')는 기판 면(22')으로부터 채널 영역(36) 아래에까지 소정의 제2깊이 Y_2 를 가진다. 본 발명에 따르면, Y_2 는 등고선식-터브(22')를 형성하기 위해서 Y_1 과는 다른 값을 가진다. 바람직하게는 Y_1 보다 작은 값을 가진다. 달리 말하면, 등고선식-터브(22') 및 기판(21)의 접합은 채널 하에서 터브-FET 기준에 의해서 강제된 위치에 비해서 아래쪽으로 밀려지고 소오스 및 드레인 영역(23 및 24)으로부터 떨어져, 소오스/드레인 확산 정전 용량을 감소시키고 이에 따라 등고선식-터브 페르미-FET가 낮은 전압에서 작동하도록 한다. 당업계에서 평균적인 지식을 가진 자라면 등고선식-터브(22')는 비대칭 소자를 만들기 위해서 단지 소오스 영역(23) 또는 드레인 영역(24) 아래에서만 등고선 모양이 될 수 있다는 것을 알 수 있다. 그러나, 상기 터브(22')가 소오스(23) 및 드레인(25) 아래에서 등고선 모양이 형성되는 대칭 소자를 형성하는 것이 바람직하다.

소정의 제2깊이 Y_2 는 미합중국 특허 5,194,923호 및 5,369,295호의 낮은 정전 용량 페르미-FET(터브-FET) 기준에 근거하여 선정된다. 이러한 기준은, 즉, Y_t 및 Y_0 을 결정하고 소정의 제2깊이 Y_2 를 함께 형성하는 이러한 기준은 이전에 상술한 바와 같다.

소정의 제1깊이(Y_1)는 상기 소정의 제2깊이 Y_2 보다 크게 선정된다. 바람직하게는, 제1소정 깊이는 또한 소오스 접촉(31) 및 드레인 접촉(32) 각각에 0V가 인가될 때 상기 소정의 제1깊이 Y_1 및 소오스 및/또는 드레인 영역과의 사이의 상기 터브 영역(22')이 공핍되도록 선정된다. 따라서, Y_0 이라 표시된 전체 영역은 0의 소오스 바이어스 또는 드레인 바이어스 각각에서 완전히 공핍되는 것이 바람직하다. 이러한 기준을 근거로 할 때 Y_1 은 다음의 수학적식 4에 의해서 결정된다.

$$Y_n = \sqrt{\frac{kT}{q} \ln\left(\frac{N_{sub}N_{tub}}{N_i^2}\right) \frac{2\epsilon_s}{qN_{sub}} \frac{1}{(1 + \frac{N_{sub}}{N_{tub}})}}$$

여기서 N_{sub} 은 기판(21)의 도핑 농도이고 N_{tub} 은 등고선식-터브(22')의 도핑 농도이다.

단채널 페르미 FET

이하 도 4를 참조하여, 미합중국 특허 출원 08/505,085호에 따르는 단채널 N -채널 페르미-FET(20'')을 설명한다. 당업계에서 평균적인 지식을 가진 자는 N 및 P 영역의 도전형을 바꿈으로써 P -채널 단채널 페르미-FET를 구현할 수 있다는 것을 알 수 있다. 도 4에 도시된 바와 같이, 페르미-터브(22'')는 기판 면(21a)으로

부터 제1깊이(Y_1+Y_0)로 연장된다. 서로 거리를 두고 있는 소오스 및 드레인 영역(23 및 24) 각각은 23a 및 24a 영역으로 도시된 터브 영역 내에 위치한다. 그러나, 상기 소오스 및 드레인 영역(23 및 24)은 각각 또한 기판 표면(21a)으로부터 터브 깊이 이상으로 연장된다. 상기 소오스 및 드레인 영역(23 및 24)은 또한 기판 면(21a)을 따르는 방향으로 상기 터브 영역 이상으로 횡적으로 연장된다.

채널 깊이 Y_1 및 채널 깊이로부터의 터브 깊이 Y_0 은, 게이트 전극이 문턱 전위에 있을 때 채널 내에서 기판 면에 수직하는 정적 전계를 최소화하도록 기판 표면으로부터 깊이 Y_1 사이에 선정된다. 이미 상술한 바와 같이, 이러한 깊이들은 또한 전계 효과 트랜지스터를 위한 문턱 전압이 반도체 기판(21)의 페르미 전위의 두 배 정도로 발생하도록 선정되는 것이 바람직하다. 이 깊이들은 또한 제2도전형의 캐리어가 채널 영역에서 소오스 영역으로부터 드레인 영역으로 흐르게 선정되고, 상기 채널 영역은 게이트 전극에 전계 효과 트랜지스터의 문턱 전압 이상으로 전압이 인가될 때 상기 깊이 Y_1 로부터 기판 표면(21a)으로 연장된다. 채널 내에서 캐리어는 기판 면 아래의 소오스 영역으로부터 드레인 영역으로 상기 채널에 반전층을 형성하지 않고 흐른다. 이에 따라, 비록 최적 상태는 아닐지라도 도 4의 소자는 오프 상태 게이트 정전 용량의 상당한 감소와 함께, 전형적인 MOSFET 트랜지스터에 비해 매우 높은 포화 전류를 여전히 발생할 수 있다. 드레인 정전 용량은 표준 MOSFET 소자와 유사해진다.

도 4에서 소오스 및 드레인 영역은 기판 표면(21a)에 대해서 수직인 깊이로도 터브 영역 이상으로 연장되고 또한 기판 표면(21a)에 대해서 평행하는 횡방향으로도 터브 영역 이상으로 연장됨을 알 수 있다. 그러나, 기생적인 측벽 정전 용량을 감소시키기 위해서, 상기 터브(22')는 횡적으로 상기 소오스 및 드레인 영역 이상으로 연장되는 것이 바람직하고, 이에 따라 상기 소오스 및 드레인 영역은 단지 터브에 깊이 방향으로만 돌출된다.

이하 도 5를 참조하여, 미합중국 특허 출원 08/505,085호에 따르는 본 발명의 단 채널 페르미-FET의 제2 실시예를 설명한다. 트랜지스터 (20'')는 소오스 및 드레인 연장 영역(23b 및 24b)이 각각 소오스 영역 및 드레인 영역(23' 및 24')에 인접하는 기판(21) 내에서 기판 표면(21a)에서 형성되고, 각각 채널(36) 내로 연장된다는 점을 제외하고는 도 4의 트랜지스터(20')와 유사하다.

도 5에 도시된 바와 같이 소오스 및 드레인 연장 영역(23b 및 24b)은 각각 소오스 및 드레인 영역(23' 및 24')과 거의 동일한 정도의 고농도로 도핑(N^{++})된다. 연장 영역(23b 및 24b)은 종래의 MOSFET 소자의 저농도로 도핑된 드레인 구조(lightly doped drain structure)에서와 같이 저농도로 도핑되지 않는다는 점을 알 수 있다. 오히려, 소오스 영역 및 드레인 영역과 동일 도핑 농도로 도핑되고, 누설 전류 감소 및 포화 전류 개선을 위해서 유용한 만큼 높은 농도로 도핑되는 것이 바람직하다.

상기 소오스 및 드레인 연장 영역(23b 및 24b)은 이전에 설명한 바와 같은 전하 공유에 의해서 드레인 전압 민감도(drain voltage sensitivity)를 감소시킨다. 불행히도, 도 5의 소자는 일반적으로 도 1 및 도 2의 완전한 예외적인 소오스 및 드레인 영역만큼 낮은 정전 용량을 나타내지 않는 것이다. 당업계에서 평균적인 지식을 가진 자는, 소오스 및 드레인 연장 영역(23b 및 24b)의 범위를 보존하기 위해서는, 소오스 및 드레인 영역에서 전형적으로 사용되는 보다 가볍고 빠른 움직임을 나타내는 원소보다는 비소(arsenic) 및 인듐(indium) 등과 같은 무겁고 낮은 움직임을 가지는 도판트(dopant)가 상기 소오스 및 드레인 연장 영역에 사용되는 것이 바람직하다는 것을 알 수 있을 것이다.

드레인 전계 종결을 구비하는 단채널 페르미-FET

드레인 전계 종결 영역을 구비하고, 또한, 이하 바이널-FET로 칭해지는 본 발명에 따르는 단채널 페르미 문턱 전계 효과 트랜지스터의 구조를 설명한다. 당업계에서 평균적인 지식을 가진 자는 N- 및 P-영역의 도전형을 바꿈으로써 P-채널 바이널 FET를 얻을 수 있음을 알 수 있을 것이다.

도 6 및 도 7은 각각 바이널-FET의 제1 및 제2 실시예를 도시하고 있다. 도 6에 도시된 바와 같이 바이널-FET(60)은 제1도전형, 여기서는 P-형의 반도체 기판(21)을 구비한다. 당업계에서 평균적인 지식을 가진 자는 상기 반도체 기판(21)은 또한, 기판의 표면(21a)이 벌크(bulk) 반도체 재료의 표면이라기보다는 실제로 에피택셜층의 표면이 될 수 있도록 벌크 반도체 재료 상에 형성되는 하나 또는 다수의 에피택셜 층을 구비할 수 있다.

도 6을 참조하면, 제2도전형(여기서는 N-형)의 제1터브 영역(62)이 반도체 기판(21) 상에서 상기 기판의 표면(21a)에서 형성되고 기판 표면(21a)으로부터 기판에 제1깊이 Y_3 으로 연장된다. 제1도전형, 여기서는 P-형의 제2터브 영역(64)이 제1터브 영역(62) 내에 구비된다. 제2터브 영역(64)은 기판 표면(21a)으로부터 기판에 제2깊이 Y_2 로 연장되고, 제2깊이 Y_2 는 제1깊이 Y_3 보다 작다. 제1터브 영역(62) 내의 제2터브 영역(64)은 또한 횡적으로 제1터브 영역(62) 이상으로 연장될 수 있다. 제2터브 영역(64)은 아래에 설명되는 바와 같은 드레인 전계 종결(DFT; Drain Field termination) 영역을 형성한다. 제2도전형, 여기서는 N-형의 제3터브 영역(66)은 제2터브 영역(64) 내에 구비된다. 제3터브(66)는 기판(21) 내로 기판 표면으로부터의 제3깊이 Y_1 로 연장되고 상기 제3깊이 Y_1 은 제2깊이 보다 작다. 제3터브(66)는 아래에 설명하는 바와 같이 에피택셜 층 내에 형성되는 것이 바람직하다.

도 6을 참조하면, 제2도전형(여기서는 N+)의 서로 거리를 두고 있는 소오스 및 드레인 영역(23 및 24)은 각각 제1터브 영역(62) 내에 형성되고 기판 내로 기판 표면(21a)으로부터 제4깊이 Y_4 로 연장된다. 도 6에 도시된 바와 같이, 제4깊이 Y_4 는 제3깊이 Y_1 보다 크다. 또한, 도 6에 도시된 바와 같이 제4깊이 Y_4 는 또한 제2깊이 Y_2 보다 크고, 제1깊이 Y_3 보다는 작다. 이에 따라, 소오스 및 드레인 확산(23 및 24)은 제3 및 제2터브(66 및 64)를 통과하여 제1터브(62) 내로 연장된다. 도 7에 도시된 바와 같은 바이널-FET(60')의 제2 실시예에서는 제4깊이 Y_4 가 제3깊이 Y_1 보다 크지만 제2깊이 Y_2 보다 작아, 소오스 및 드레인 영역은 제3터브(66)를 관통하여 제2터브(64)로 연장되지만, 제1터브(62)로는 연장되지 않는다.

도 6 및 도 7의 바이널-FET(60 및 60') 각각은 또한, 게이트 절연층(26) 및 제1도전형, 여기서는 P-형의 다결정질 실리콘층(28)을 구비하는 게이트 전극을 구비한다. 소오스, 게이트 및 드레인 접촉(31, 29 및 32)이 이미 설명한 바와 같이 또한 구비된다. 또한, 기판 접촉(34)도 구비된다. 기판 접촉은 맞은편 표면(21a)에 나타나

지만 또한 이전의 실시예에서와 같이 표면(21a) 인근에 형성될 수 있다.

도 6 및 도 7의 바이널-FET(60 및 60')은 또한 소오스 및 드레인 영역(24)의 사이에 연장되는 기판(21)내 층의 투시도로부터 설명될 수 있다. 이러한 관점에서 보았을 때, 제3터브(66)는 기판 내에 상기 기판 표면에서 소오스 영역(23)으로부터 드레인 영역(24)으로 연장되고 또한 기판 내로 기판 표면으로부터 제1깊이 Y_1 로 연장되는 제2도전형의 제1층(66a)을 형성한다. 제2터브(64)는 기판 내에서 소오스 영역(23)으로부터 드레인 영역(24)으로 연장되고 또한 제1깊이 Y_1 로부터 기판 표면으로부터의 제2깊이 Y_2 로 기판 내로 연장되는 제1도전형의 제2층(64a)을 형성한다. 제2층(64a)은 아래에 설명되는 바와 같이 드레인 전계 종결 수단으로 기능한다. 제1터브(62)는 기판 내에서 소오스 영역으로부터 드레인 영역으로 연장되고 기판 내로 기판 표면으로부터 제1깊이 Y_2 로부터 제3깊이 Y_3 으로 또한 연장되는 제2도전형의 제3층(62a)을 형성한다.

이러한 방법으로 볼 때, 도 6의 실시예에서는, 제3층(62a)은 또한 62b 영역으로 표시된 바와 같이 소오스 바닥(23a)으로부터 드레인 바닥(24a)으로 연장된다. 도 7의 실시예에서, 제2 및 제3층(64a 및 62a) 모두는, 각각 64b 및 62b 영역으로 표시된 바와 같이 소오스 바닥(23a)으로부터 드레인 바닥(24a)으로 연장된다.

도 6 및 도 7의 바이널-FET는 또한 원래의 터브 내에 카운터 도핑된 매몰 터브(64)를 구비하는 터브-FET로 간주될 수 있다. 또한, 바이널-FET는 제1도전형의 매몰층(64a)을 채널 영역(66a) 아래에 구비하는 터브-FET로 보여질 수 있다. 아래에서 상세하게 설명되듯이, 제2층(64a)을 구비하는 제2터브(64)는 인가되는 드레인 전계에 의해서 캐리어가 소오스 영역으로부터 채널 영역으로 또는 채널 영역 아래로 주입되는 것을 방지하여 소오스 영역을 보호하는 드레인 전계 종결 수단으로 역할한다. 이에 따라, 제2터브(64) 및 제2층(64a)은 또한 드레인 전계 종결 영역으로 불려질 수 있다.

바이널-FET의 작동

이하, 도 6 및 도 7의 바이널-FET 트랜지스터(60 및 60')의 작동을 설명한다. 바이널-FET는, 페르미-FET와 유사하게 채널에서의 낮은 수직 전계를 허용하면서도 과도한 드레인 유도 장벽 저하(DIBL)를 방지한다. 더욱이, 바이널-FET는 보다 높은 캐리어 이동도를 허용하고, 또한 소오스 드레인 접합 정전 용량을 감소시킬 수 있다. 바이널-FET는 기생적인 높은 정전 용량을 가지지 않고 또한 적절한 소오스 및 드레인 깊이를 허용하는, 매우 얇고, 매우 낮은 α 값 페르미-FET 트랜지스터로서 구체화될 수 있다.

바이널-FET 소자는 제2터브(64) 또는 제2층(64a)의 형태로 드레인 전계 종결(DFT) 영역을 구비한다. 상기 DFT 영역은 제1층(66a)에 부합하여 소오스 영역(23)에 대한 보호막의 역할(특히 도 7의 구조에 대해서)을 하여, 드레인 접촉(32)에 인가되는 바이어스에의 결과로써의 소오스 영역으로부터 채널 영역으로 또는 채널 영역 아래로의 캐리어 주입을 감소시키거나 또는 바람직하게는 방지한다.

제1터브(62)는 상기 DFT 영역(깊이 Y_2)의 바닥 모서리(bottom edge)를 설정하고 상기 DFT 영역에서의 과도한 도판트의 효과, 즉, 소자의 문턱 전압 증가를 야기할 수 있는 효과를 완화시키는 데 도움을 준다. 제1터브(62)는 또한 소오스 및 드레인 영역과 관련된 정전 용량을 크게 저하시킬 수 있다. 이러한 정전 용량은 도 6의 트랜지스터(60)의 소오스 및 드레인 영역 모두에 존재한다. 도 7의 트랜지스터(60')에서는 초기(OV)의 인가 전압 소오스 정전 용량은 소오스:DFT 영역(23:64b)의 접합에 의해서 설정되지만, 소오스 전위가 증가함에 따라 남아있는 DFT 도판트 원자들은 소오스 영역 아래의 영역에서 공핍되어 접합 정전 용량의 급격한 감소를 일으킨다.

드레인 유도 캐리어 주입은 채널이 짧아짐에 따라 단채널 페르미-FET 소자를 이상적인 조건으로부터 벗어나게 하여 왔다. 이미 설명한 바와 같이, 페르미-FET에서의 바라지 않는 누설 전류를 감소시키기 위해서 터브 영역은 얇아졌거나 기판 도핑 수준이 증가되었으며, 이러한 것은 또한 트랜지스터의 문턱 전압을 높일 수 있다.

채널 길이의 0.5 μ m 아래로의 계속된 축소화는 작동 전압의 감소에 대한 필요를 이끌어 내었지만, 소오스 및 드레인 영역간의 보다 좁아진 분리는 일반적으로 소오스 확산에서의 드레인 전계의 강도를 여전히 증가시키고 있다. 낮아진 작동 전압은 문턱 전압에 필요한 오버헤드를 감소시켰지만, 이는 단채널 페르미-FET과 할지라도 높은 문턱 전압 또는 높은 누설 전류에 기인하는 성능 손실을 겪게 할 수 있다.

반면에, 본 발명에 따르는 바이널-FET는 소오스 및 드레인 영역사이의 제1층(66a) 및 제2(DFT)영역(64a)으로부터 형성되는 낮은 수직 전계, 낮은 문턱 전압 페르미-FET형 영역을 제공한다. DFT 영역은 소오스 및 드레인 확산들 사이의 누설 전류를 감소시키거나 바람직하게는 방지할 수 있는 충분한 깊이를 가진다. DFT 영역은 소오스 및 드레인 영역 사이의 영역이 정상적인 작동 조건에서 완전히 공핍화되지 않게 구축되는 것이 바람직하다. 공핍화되지 않는 도판트 원자는 드레인 전계 종결 장소의 역할을 하여 드레인 전계가 소오스 전극에 도달하는 것을 감소시키거나 바람직하게는 방지한다.

도 8은 도 6 및 도 7의 바이널-FET의 소오스와 드레인 사이의 기판 표면(21a)에 수직하는 8-8'선에 따른 순도핑 프로파일(net doping profile)을 그래프로 도시한 것이다. 또한, 도 8은 순도핑 프로파일을 형성하는 데 이용될 수 있는 개별적인 도판트 원소(보론 및 인)의 분포를 그래프로 도시하고 있다. 도 9a 및 9b는 각각 기판 표면(21a)에 수직하는 9A-9A'선 및 9B-9B'선에 따른 소오스 또는 드레인 영역 내의 순도핑 프로파일을 그래프로 도시한 것이다. 도 9a는 도 6의 바이널-FET(60)에 대한 순도핑 프로파일을 그래프로 도시한 것이고, 도 9b는 도 7의 바이널-FET(60')에 대한 순도핑 프로파일을 그래프로 도시한 것이다.

극단적으로 짧은 소자에 대해서 얇은 제3터브(62)는 낮은 누설 전류 및/또는 낮은 문턱 전압을 허용하는 것으로 보여질 수 있다. 그러므로, 초기 바이널-FET 소자는 0.25 μ m로 당겨진 채널 길이, 60A의 게이트 산화막 및 2.5V의 최대 드레인 전압을 사용하여 실시되었다.

도 10은 PISCES2 실사로부터 얻은 바이널-FET의 단면을 도시한 것이다. 도 10은 이동 캐리어가 공핍화된 기판의 영역을 도시한다. $1 \times 10^{10}/\text{cm}^2$ 보다 많은 전자들과 정공들이 도시되어 있다. 접촉들의 위치 또한 도시된다. 실사의 조건은 $V_g = V_b = V_d = 0\text{V}$ 이고 $V_s = 2.5\text{V}$ 이며, V_s, V_b, V_g, V_d 는 각각 소오스, 기판, 게이트 및 드레인 전압이다.

도 10은 도 7의 N-채널 바이폴-FET에 대한 비공핍 실리콘을 도시한다. 도 7의 바이폴-FET(60)은 주어진 선폭 및 문턱 전압에서 도 6의 바이폴-FET(60)에 비해 낮은 누설 전류에 대한 전위를 가진다. 이러한 개선된 성능에 대한 불이익은 도 6에 따르는 소자에 비해 매우 낮은 공핍 영역을 가지는 소오스:DFT 접합에 기인하는 약간 높은 드레인 전류일 수 있다. 도 10에서, 소오스 전극은 좌측 상에 위치한다. 소오스, 게이트 및 기판 전극들은 0V이고; 드레인 전극은 2.5V이다. 트랜지스터는 오프 상태이다. 단면도에서 빗금친 부분은 자유 정공 농도가 1×10^{10} 정공/cm³ 이상인 영역에 해당된다. 점으로 음영진 부분은 전자 농도가 1×10^{10} /cm³ 이상인 영역에 해당된다. 그러므로, 음영되지 않은 부분은 이동 전하가 완전히 공핍된 것으로 여겨진다. 즉, 캐리어 농도가 진성 반도체 수준인 $n_i \approx 1.45 \times 10^{10}/\text{cm}^3$ 이하이다. P-N 접합은 점선으로 표현되고 도 10에는 세 개가 도시된다.

도 10에 도시된 바와 같이, 채널 영역의 도핑이 소오스 및 드레인 영역과 일치하더라도, DFT 구조의 도핑 및 이격 정도는 소오스 및 드레인 영역간의 영역 사이의 과다 자유 정공을 포함하는 정도이다. 이러한 것은 채널 부피에서 전계 종결 장소로서 역할을 하도록 요구되는 자유 캐리어를 공급하여, 상승된 누설 전류를 발생시킬 수 있는 소오스 영역으로부터 주입되는 캐리어의 수를 크게 감소시킨다. 또한, 드레인 영역 아래의 공핍 영역을 주목하라. 제1터브 구조(62)는 전체적인 공핍폭을 크게 늘려 접합 정전 용량은 크게 저하시킨다.

도 11은 도 10과 게이트 전극에 인가되는 바이어스가 대략 문턱 전압 정도(대략 0.550V)라는 점을 제외하고는 동일하다. 도 11은 전자가 $1 \times 10^{13}/\text{cm}^2$ 이상이고 정공은 $1 \times 10^{10}/\text{cm}^2$ 보다 이상인 것을 도시하고 있다. 이러한 조건하에서, 채널 영역은 제3터브:DFT 접합 인근에 형성되었다. 소오스 및 드레인 확산 사이의 제3터브내의 음영진 영역은 개략적으로 중성 실리콘을 나타낸다. 이 영역에서의 캐리어들은 인가되는 드레인 바이어스만의 영향하에 놓여진다. 도 12는 또한 게이트 전극에의 게이트 바이어스가 $V_g=2.5\text{V}$ 인 점을 제외하고는 도 9와 유사하다. 전자는 $1 \times 10^{15}/\text{cm}^2$ 이상이고 정공은 $1 \times 10^{10}/\text{cm}^2$ 보다 이상인 것이 도시되고 있다. 이러한 그림은 포화 상태의 트랜지스터를 나타낸다. 채널 영역의 대부분은 소오스 영역으로부터 주입된 과다 캐리어를 포함하고 있다. 이러한 조건에서 캐리어들은 인가되는 드레인 바이어스 및 문턱 전압 이상인 부분(V_g-V_t)의 게이트 바이어스 모두의 영향하에 놓이게 된다.

DFT 영역(64a)에서의 도핑은 세 가지 변수를 포함하는 것이 바람직하다. 먼저, DFT는 그 상부의 채널 영역(66a)을 완전히 공핍시킬 수 있을 정도로 충분한 소수 전하를 정확히 공급하는 것이 바람직하다. 이러한 전하(N_{dep})는 다음과 같은 수학적 식 5로 주어진다.

$$N_{dep} = \overline{N_c} Y_1$$

여기서, $\overline{N_c}$ 는 채널 영역에서의 평균 도핑이다. Y_1 은 채널 깊이이다. 그러나, 다른 구속이 있다. 반드시 소오스 및 드레인 영역의 완전한 공핍을 허용할 수 있는 충분한 전하가 바람직하다. 각 영역은 다음의 수학적 식 6에서와 같은 부피의 DFT를 공핍시킬 것이다.

$$W_{DFT} = \sqrt{\frac{2\epsilon_s N^+ \phi_b + V_a}{q N_{DFT} (N_{DFT} + N^+)}}$$

$$\phi_b = \frac{kT}{q} \ln\left(\frac{N^+}{N_{DFT}}\right)$$

N_{DFT} 및 N^+ 는 각각 DFT 영역(64a) 및 소오스와 드레인 영역(23 및 24)의 도핑이고, V_a 는 기판에 대한 확산(소오스 또는 드레인 중 어느 하나)에 인가되는 전압이다. 수학적 식 5에서 요구되는 전하가 최대 전위에서 확산에 의해 형성되는 접합을 만족시키기 위해서 요구되는 것에 비해 작은 것으로 나타낼 수 있다고 가정하면, 대략적인 최소 N_{DFT} 는 가용 폭(L_{eff})의 대략 40%를 차지하는 농도로 가정할 수 있다.

수학적 식 6에서 W_{DFT} 를 $0.4 \times L_{eff}$ 로 설정하고 V_a 를 V_d 로 설정하면, 수학적 식 6은 N_{DFT} 에 대해 다음과 같이 풀어질 수 있다.

$$N_{DFT} = \frac{2\epsilon_s (\phi_b + V_d)}{q (0.4 L_{eff})^2}$$

수학적 식 7은 소오스 및 드레인 확산 사이의 깊이 Y_1 로부터 대략 Y_1 의 150%에까지의 DFT 구조의 도핑 수준에 대한 바람직한 최소 요구 사항을 기술하고 있다. DFT 구조의 최대 도핑 수준에 부합되는 깊이가 대략 Y_2 일 때 PISCES2 실사는 매우 낮은 누설 전류 소자를 나타냈다. DFT 구조의 바닥 부분($1.5Y_1$ 깊이로부터 Y_2 까지) 프로파일 및 소오스 및 드레인 확산 아래의 공핍층이 잔류하는 DFT 전하를 완전히 공핍시키고 추가적인 확산 전위가 대략 0.5V에서 바닥 터브 아래의 기판 전하를 종결시키기 시작하는 제1터브 구조의 밀도 및 폭을 선정함에 의해서 소오스 및 드레인 정전 용량은 최적화될 수 있다.

도 13은 수학적 식 7의 DFT 구조의 상부에서의 바람직한 도핑을 묘사하고 있다. 2V 내지 5V의 작동 전압들과 함께 0.2 μm 내지 0.6 μm 의 채널 길이가 도시되어 있고, SUPREM4 및 PICES2 실사의 결과와 훌륭하게 일치함을 보여주고 있다.

제1터브(62)는 깊이 Y_2 로부터 깊이 Y_3 에까지 연장되고 DFT 영역에 의해서 공핍되도록 설계되어야 한다는 점에서 제3터브(66)와 유사하다. 제1터브(62)의 폭이 증가함은 접합 정전 용량에 유의한 효과를 갖지만, 이제 최대 바람직한 깊이에 바람직하게 도달하는 것을 보여줄 것이다. 보다 넓은 제1터브(66)는 결과적으로 하부의 접합을 이동시켜 소오스 및 드레인 영역(23 및 24) 각각의 바닥(23a 및 24a)으로부터 충분히 떨어뜨려, 기판(21)이 더 이상 소오스 및 드레인 전극에 인가된 전압에 의해서 발생하는 공핍 영역 내에 놓이지 않게 된다. 더욱이, 제1터브 농도가 기판(21)과 DFT 영역(64a)에 의해 형성된 공핍층이 제1터브 내의 모든 다수 캐리어를 더 이상 완전히 공핍시키지 않으면, 트랜지스터는 매우 높은 누설 전류 수준, 빈약한 기판 커플링(substrate coupling)을 가질 수 있고, 래치 업(latch-up)이 일어나기 쉽게 된다.

이에 따라, 실험적으로 도달되는 제1터브(62)에 대한 유용한 두께 목표는 대략 제2층(DFT;64a)과 동일한 두께이다. 두께는 기판 및 DFT 구조의 하부 모서리에 의한 보다 완전한 공핍을 허용한다.

도 10에서 알 수 있듯이, 각각 수학식 8 및 9에서와 같은 DFT:제1터브의 접합에 기인하는 공핍된 폭 및 제1터브:기판 접합에 기인하는 폭의 합이 전체 제1터브 폭에 비해 크도록 제1터브의 두께 및 도핑 밀도는 조정되는 것이 바람직하다.

$$W_{DFT:FT} = \sqrt{\frac{2kT\epsilon_{silicon} N_{DFT} \ln\left(\frac{N_{DFT}}{N_{FT}}\right)}{q^2 N_{FT} (N_{FT} + N_{DFT})}}$$

여기서, N_{DFT} 및 N_{FT} 는 각각 DFT층(64a) 및 제1터브(62)에서의 평균 도핑 밀도를 나타낸다.

$$W_{SUB:FT} = \sqrt{\frac{2kT\epsilon_s N_{SUB} \ln\left(\frac{N_{SUB}}{N_{FT}}\right)}{q^2 N_{FT} (N_{FT} + N_{SUB})}}$$

이것은 화학적으로 N-형(바이널-FET의 N-채널형에서)인 영역이 일반적으로 과다 소수 캐리어(N-채널 변형에 대해서는 정공)에 의해서 채워지게 한다. 상기 영역은 도 14에 도시된 바와 같은 부드러운 정전 용량 곡선을 야기하는 전기적으로 마치 P형인 것처럼 작동할 것이다. 이것은 상기 터브 영역 내에서의 부가적인 접합에 기인하는 기생적인 래치 업을 피하게 하고 소오스 및 드레인 확산의 전압 강하를 개선시킨다.

비록 관련된 접합들이 가파르더라도, 그것들은 일반적으로 '계단' 접합이 아니라는 것을 주의해야 한다. 그러므로 전체 공핍층 폭은 각 접합에서 수학식 10에 따라 제각각이다.

$$N_a X_n = N_a X_p$$

여기서, N_n 및 N_p 는 각각 접합의 P-형 및 N-형 측면에서의 억셉터 및 도우너 농도를 의미한다. 접합의 제1터브 측면 상의 DFT:제1터브 접합 및 기판:제1터브 접합에 의해서 발생하는 공핍된 폭의 합의 75%로 제1터브 폭을 선정하는 것은 오직 수학식 10에 의한다. 따라서, 수학식 8, 9 및 10 그리고 75% 두께의 가정은 상호 연관되고 재정리되어 N_{DFT} , N_{FT} 및 기판 도핑 수준 N_{sub} 에 대한 최대 제1터브 폭은 아래의 수학식 11과 같이 정의할 수 있다.

$$Y_3 - Y_2 = \frac{0.75}{N_{FT}} \times \left(\sqrt{\frac{4kT\epsilon_s (N_{DFT} + N_{FT})}{q^2 N_{DFT} N_{FT}} \ln\left(\frac{N_{DFT} N_{FT}}{n_i^2}\right)} + \sqrt{\frac{4kT\epsilon_s (N_{sub} + N_{FT})}{q^2 N_{sub} N_{FT}} \ln\left(\frac{N_{sub} N_{FT}}{n_i^2}\right)} \right)$$

당업계에서 평균적인 지식을 가진 자는 수학식 11이 희망하는 정전 용량 및 누설 전류 특성을 구현하도록 제1터브의 두께 및 도핑 수준을 조정하기 위한 PISCES2와 같은 소자 실사기를 사용하는 분석을 위한 시작점을 바람직하게 정의한다는 점을 알 수 있다.

바이널-FET 제조 방법

이하, 도 15a 내지 15e를 참조하여 도 6의 바이널-FET 트랜지스터(60)를 형성하는 바람직한 공정을 설명한다. 도 7의 바이널-FET는 소오스 및 드레인 영역의 주입 깊이를 감소시킴으로써 제공될 수 있다는 것을 알 수 있을 것이다. 반대형의 트랜지스터가 도전형을 바꿈으로써 형성될 수 있다.

일반적으로, 상기 제조 방법은 제1도전형의 반도체 기판, 제2도전형의 제1터브 및 상기 제1터브 내에 제1도전형의 제2터브를 형성하는 단계를 구비한다. 제2도전형의 층은 제1 및 제2터브 인근의 반도체 기판 상에 에피택셜 성장 방법으로(제2도전형의 인 시튜(in-situ) 도핑 또는 순차적 도핑) 형성된다. 이에서, 제2도전형의 서로 거리를 두고 있는 소오스 및 드레인 영역이 상기 에피택셜 층 내 및 상기 제2터브 내에 형성된다. 이들은 또한, 제1터브 내로 연장될 수 있다.

이하, 도 15a를 참조하면, 제조 방법은 N-형 또는 P-형 기판에서 시작되고 마스크(72)를 이용한 통상적인 P-월의 종래의 주입 공정을 구비한다. 도 15b를 참조하면, 종래의 일반적인 차폐 산화 공정(screen oxidation)이 스크린 산화막(74)을 형성하기 위해서 수행되고 제1터브(62) 및 제1터브(62) 내의 제2터브(DFT;64)의 이온

주입이 수행된다. 제1 및 제2 도전형의 통상적인 이온 주입이 사용된다. 제2터브는 제1터브 이전에 주입될 수 있다. 이어서 활성 어닐 공정이 수행된다.

이하, 도 15c를 참조하면, 스크린 산화막(74)이 제거되고, 에피택셜 층(76)의 에피택셜 증착이 수행된다. 이후, 도 15d에서와 같이 제3터브(66)가 제2도전형의 이온을 사용하여 층(76) 내로 주입된다. 마스크를 이용하거나 이용하지 않는 주입이 사용될 수 있다. 제2층을 에피택셜 성장 방법으로 증착하는 동안 상기 에피택셜 층에 제2도전형을 동시에 도핑하기 위해 층(76)의 인 시튜 도핑을 에피택셜 증착 중에 사용할 수 있음을 알 수 있다.

이후에, 도 15e에 도시된 바와 같이, 일반적인 방법으로 게이트 산화막(26)이 형성되고, 다결정질 실리콘 게이트(28)가 형성되고 도핑된다. 소오스 및 드레인 영역(23 및 24)이 다결정질 실리콘 게이트(28)를 마스크로 이용하여 주입된다. 이어서 소오스, 드레인 및 기판 접촉이 이후에 제공되어 도 6의 트랜지스터(60)를 형성한다.

도 15a 내지 도 15e에 도시된 공정의 중요한 일면은 제3터브(66)를 형성하는 데 실리콘의 얇은 에피택셜 층(76)을 이용하는 것이다. 당업계에서 평균적인 지식을 가진 자는 매우 유사한 수직 프로파일이 에피택셜 성장의 고비용이나 복잡함없이 얻을 수 있고, 실용에 사용되는 바이널-FET는 이러한 방법으로도 구현될 수 있음을 안다. 그러나, 에피택셜 성장 방법은 채널 영역(66a)에서 전도성 캐리어 이동도를 최대화시키기 위해서 이용되는 것이 바람직하다.

전형적인 페르미-FET 소자에서와 같이, 그리고, 더 적은 정도이지만 '매몰 채널(buried channel)' 트랜지스터에서와 같이, 바이널-FET의 낮은 수직 전계는 실리콘 표면에서 전도성 캐리어에 의한 유효 이동도 손실을 감소시킬 수 있다. 페르미-FET 및 바이널 FET는 다수 캐리어 형인 영역 내에 흐르는 전도성 캐리어들 및 종래의 MOSFET 보다 낮은 순도핑 농도를 가지고 있어 유효 이동도를 더 개선시킬 수 있다. 바이널-FET는 채널 영역(66a)을 카운터 도핑할 필요를 제거함으로써 유효 이동도를 더 개선시킬 수 있다.

순 캐리어 이동도는 일반적으로 포논 산란(phonon scattering), 격자 결함(lattice defects), 표면 거칠기(surface roughness), 및 전체 불순물 농도를 포함하는 여러 가지 다른 메커니즘들의 결과이다. 전계 효과 소자의 소오스 및 드레인 영역 사이를 흐르는 전도성 캐리어는 소자의 미세한 구조적 다양함 및 인가되는 전압들에 의해서 설정되는 확률을 각기 가지는 여러 가지 형태의 충돌을 겪게 될 것이다. 각각의 메커니즘은 산란이 일어나는 간격의 평균 시간, τ 를 가진다. 따라서, 시간 간격 당 발생하는 충돌의 총 확률은 수학식 12에서와 같이 개개의 산란 메커니즘의 확률의 결합이 된다.

$$\frac{dt}{\tau_T} = \sum_i \frac{Q}{\tau_i}$$

여기서, i 는 각 개개의 산란 메커니즘을 나타낸다. 그러므로, 산란 발생간의 총 평균 시간은 구성 원인들로부터 기인하는 개개의 확률들의 최소 값보다 작아진다. 이동도는 산란의 확률과 다음의 수학식 13과 같은 관계가 있다.

$$\mu = \frac{q}{m} \tau$$

따라서, 총 이동도는 각 개개의 산란 메커니즘과 관련된 이동도와 다음의 수학식 14와 같은 관계가 있다.

$$\frac{1}{\mu} = \sum_i \frac{1}{\mu_i}$$

산란 지속 시간(scattering lifetime)과 관련하여 기술한 바와 같이, 총 캐리어 이동도는 구성 원인들에 기인하는 개개의 이동도들의 최소값보다 작게 된다. 개개의 메커니즘의 이동도 중의 하나가 다른 값에 비해서 작게 될 때, 우세한 메커니즘이 되며 다른 메커니즘들의 상대적인 기여도를 감소시킨다.

현재의 서브-마이크론(sub-micron) 소자들에서는, 도펀트 원자들에 의한 산란이 상당히 우세한 메커니즘이 되고 있다. 극소로 짧은 단채널 트랜지스터는, 소자가 턴 오프(turn-off)되는 데 요구되는, 채널에서의 도핑 수준이 제한 변수가 되는 정도에까지 다다르고 있다. 도 16은 세 가지 주요 도펀트 원소의 총 불순물 농도에 대한 함수로서 300°C에서 실리콘에서의 캐리어(전자 및 정공) 이동도를 나타낸 것으로, 물러와 카민스(Richard S. Muller and Theodore I. Kamins)에 의한 '집적 회로를 위한 소자 전자 공학, 제2판(Device Electronics for Integrated Circuits, Second Edition)'의 33쪽(1986)에서 참조한 것이다. 0.25 μ m의 채널 길이를 가지는 표면 채널 MOSFET 소자에서는, $2 \times 10^{18} \text{ cm}^{-3}$ 이상의 총 채널 도핑을 보는 것이 일반적이다. 이것은 보다 긴 소자에서 사용되는 보다 낮은 농도에 비해서 성능에서의 실질적인 감소를 초래한다.

도 11을 다시 참조하면, $2 \times 10^{18} \text{ cm}^{-3}$ 의 채널 도핑과 관련한 이동도 μ 는 235 $\text{cm}^2/\text{V}\cdot\text{sec}$ 이다. 매우 짧은 서브-마이크론 범위내의 채널 길이를 가지는 N-채널 바이널-FET 트랜지스터는 전도가 발생하는 제3터브 영역에서 5.0×10^{16} 내지 2.0×10^{17} 의 N-형 도펀트의 순도핑이 요구될 수도 있다. 상기 제3터브를 형성하기 위해서 이온 주입 공정을 사용하는 것은 전형적으로 상기 순 N-형 수준 이상으로 DFT층을 카운터 도핑(대략 4×10^{17} P-형)할 것을 요구한다. 원인들과 관련된 비-도핑을 무시하고 터브 도핑을 5.0×10^{16} 에 설정한다고 가정하면, 도 13으로부터 순 채널 이동도는 P 도펀트가 4×10^{17} 이고 N 도펀트가 4.5×10^{17} (카운터 도핑 + 5.0×10^{16})인 경우에 320 $\text{cm}^2/\text{V}\cdot\text{sec}$ 가 얻어진다. 이러한 이동도는 상기한 MOSFET 보다 우수하면서 우수한 성능이 가능하다. 특히, 도 15a 내지 15e에서 도시된 바와 같은 공정을 이용하면, DFT 영역(64a)에서의 P형 도핑은 에피택셜 성장 방법으로 형성되는 제3터브(66) 내에서 무시될 수 있으며, 제3터브 영역에서 순 및 총 도핑이 5.0×10^{16} 이 되도록 할 수 있다. 따라서, 이동도는 900 $\text{cm}^2/\text{V}\cdot\text{sec}$ 에까지 크게 증가된다.

고성능 MOSFET

바이널 FET의 드레인 전계 종결 영역은 또한 카운터 도핑된 채널을 가지는 통상의 MOSFET 설계에 적용될 수 있다. 도 17 및 도 18은 제2터브(DFT;64) 및 제1터브(62)를 구현한 통상의 MOSFET의 두 실시예를 도시한 것이다. 도 17 및 도 18은 또한 제3터브(66)가 생략된 바이널-FET로 보여질 수 있다. 또한, 도 17 및 도 18은 제1터브(62)가 추가된 통상의 MOSFET로 보여질 수 있다. 일반적으로 바이널-FET만큼 구현되지는 않을 지라도, 단채널 MOSFET에 대해 개선된 성능이 도 17 및 18의 구조에 의해서 얻어질 수 있다.

바이널-FET에 대한 설계 기준의 요약

이하 본 발명에 따르는 바이널-FET에 대한 설계 기준의 요약을 제공한다. 여기서 사용되는 수학적식은 일정한 도판트 프로파일 및 완전한 이상적인 트랜지스터를 가정함으로써, 실사 및/또는 실험적인 데이터가 소자를 최적화하는 데 바람직하게 사용된다.

Y_3-Y_2 : 제1터브 영역의 수직 크기로 수학적 식 11에 DFT, 기판 및 제1터브 도핑 밀도의 함수로 명시적으로 정의된다.

Y_2-Y_1 : DFT 영역의 수직 크기. 이 파라미터에 대해서는 트랜지스터의 성능에 거의 영향을 미치지 않는 넓은 범위가 가능하다. 최적화의 유용한 시작점은 Y_1 의 값의 150%이다.

Y_1 : 제2터브 영역의 수직 크기. 역시 넓게 변화할 수 있고, 일반적으로 높은 작동 전압(V_d) 또는 좁은 채널(L_{eff})에 대해서는 작은 수가 요구된다. 최적화의 유용한 시작점은 다음의 수학적 식 15에 의해서 주어진다.

$$Y_1 = \frac{5.5(L_{eff})}{\sqrt{V_{dmax}}}$$

N_{NDF} : DFT 영역의 평균 도핑 농도는 최대 드레인 전압의 함수이며, 수학적 식 7에서 유효 채널 길이 L_{eff} 의 함수로 정의된다.

N_{FT} : 제1터브의 평균 도핑 농도는 N_{NDF} 및 기판 농도 N_{sub} 의 함수로 수학적 식 11로 정의된다.

N_{TT} : 제3터브 영역 또는 '페르미-터브'의 평균 도핑 농도는 일반적으로 장채널($>1\mu m$)에 대해서 1×10^{16} 으로 설정되고 채널이 감소함에 따라 일반적으로 증가한다. 예를 들어, $0.25\mu m$ 에서 N_{TT} 는 대략 1×10^{17} 이다. 누설 전류에 대한 이 농도의 '조정'에 누설 전류의 실사가 이용될 수 있다.

N_{poly} : 다결정질 실리콘 도핑은 일반적으로 문턱 전압에 약한 역할을 하지만, 공정의 안정성 및 복잡성의 이유에서 일반적으로 $\approx 1 \times 10^{20}$ 으로 남겨둔다.

사용되는 변수 테이블

C_g : 게이트 정전 용량; 게이트 전극의 dQ/dV .

Y_f : 전도성 채널 즉, 트랜지스터가 완전히 켜졌을 때 소오스 및 드레인 사이를 전도성 캐리어가 흐르는 게이트 산화막 아래 영역의 깊이.

β : 캐리어 깊이 계수; Y_f 를 평균 캐리어 깊이에 관계시키는 수학적 계수.

e_s : 기판의 유전율.

e_i : 다결정질 게이트 전극과 기판간의 절연체의 유전율.

T_{ox} : 다결정질 게이트 전극과 기판간의 절연체의 두께.

Z : 소오스에서 드레인을 향하는 선에 수직인 FET 트랜지스터의 폭

Y_0 : 페르미-터브의 깊이. 게이트 전극 아래의 기판 표면으로부터 페르미-터브 및 웰간에 형성되는 야금학적 접합(metallurgical junction)까지의 거리.

Y_1 : 소오스와 드레인 확산 사이의 중간 쯤의 게이트 전극 아래의 기판 표면으로부터 제2페르미 터브(제2도전형의 표면 층) 및 DFT 영역간에 형성되는 야금학적인 접합까지의 실리콘 표면에 대한 수직 거리.

Y_2 : 게이트 전극 아래의 기판 표면으로부터 제1페르미-터브(제2도전형의 바닥층) 및 DFT 영역간에 형성되는 야금학적인 접합까지의 기판 표면에 대한 수직 거리.

Y_3 : 게이트 전극 아래의 기판 표면으로부터 제1페르미-터브(제2도전형의 바닥층) 및 웰 영역 또는 기판간에 형성되는 야금학적 접합까지의 기판 표면에 대한 수직 거리.

N_{DFT} : 드레인 종결(DFT) 영역에서의 평균 도핑 수준으로 또한 (N64)으로 불려진다.

N_{FT} : 제1터브 영역(도 6 또는 도 7의 62a)의 평균 도핑 수준으로 또한 (N62)으로 불려진다.

V_s : 트랜지스터의 임의의 소오스 또는 드레인 종결에 인가되는 전압.

V_s, V_d, V_g, V_p : 소오스, 드레인, 게이트 또는 기판 각각에 인가되는 전압.

Φ_b : PN 접합 구축 전위(수학식 6 참조).

$W_{DFT,FT}$: DFT 영역(64a) 및 제1터브 영역(62a)이 만나는 PN 접합에 의해서 형성되는 공핍 영역의 수직 크기.

$W_{FT,sub}$: 기판(21) 및 제1터브 영역(62a)이 만나는 PN 접합에 의해서 형성되는 공핍 영역의 수직 크기.

L_{eff} : 소오스 확산의 모서리로부터 드레인 확산의 모서리까지 기판 표면에 평행한 방향으로의 최단 거리로 66a와 같다.

L_0 : 전류 흐름 방향에 평행하게 측정된 다결정질 실리콘 게이트 전극의 폭으로 L_2 와 같다.

도면 및 상세한 설명에서 본 발명의 전형적으로 바람직한 실시예를 개시하였으며, 비록 특정 용어를 사용하였으나 이는 단지 일반적이고 기술하는 의미에서 사용된 것으로 특허 청구 범위에 기재되는 본 발명의 요지를 제한할 목적으로 사용된 것은 아니다.

(57) 청구의 범위

청구항 1

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에서 상기 기판의 표면으로부터 제1깊이까지 상기 기판 내로 연장되는 제2도전형의 제1터브 영역;

상기 제1터브 내에서 상기 기판의 표면으로부터 제2깊이까지 상기 기판 내로 연장되며, 상기 제2깊이가 상기 제1깊이 보다 작은 상기 제1도전형의 제2터브 영역;

상기 제2터브 영역 내에서 상기 기판의 표면으로부터 제3깊이까지 상기 기판 내로 연장되며, 상기 제3깊이가 상기 제2깊이 보다 작은 상기 제2도전형의 제3터브 영역;

상기 제1터브 영역 내에서 상기 기판의 표면으로부터 제4깊이까지 상기 기판 내로 연장되며, 상기 제4깊이가 상기 제3깊이 보다 크며 서로 거리를 두고 있는 상기 제2도전형의 소오스 영역 및 드레인 영역;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역 사이의 상기 기판 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 2

제1항에 있어서, 상기 제4깊이는 또한 상기 제2깊이 보다 큰 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 3

제1항에 있어서, 상기 제4깊이는 또한 상기 제1깊이 보다 작은 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 4

제2항에 있어서, 상기 제4깊이는 또한 상기 제1깊이 보다 작은 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 5

제1항에 있어서, 상기 게이트 전극은 상기 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 6

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에서 서로 거리를 두고 있는 제2도전형의 소오스 영역 및 드레인 영역;

상기 기판 내에 상기 기판 표면에서 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되고, 상기 기판의 표면으로부터의 제1깊이까지 상기 기판 내로 연장되는 상기 제2도전형의 제1층;

상기 기판 내에서 상기 소오스 영역으로부터의 상기 드레인 영역에까지 연장되고, 상기 제1깊이로부터 상기 기판의 표면으로부터의 제2깊이까지 상기 기판 내로 연장되는 상기 제1도전형의 제2층;

상기 기판 내에서 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되고, 상기 제2깊이로부터 상기 기판의 표면으로부터의 제3깊이까지 상기 기판 내로 연장되는 상기 제2도전형의 제3층;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역 사이의 상기 기판의 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 7

제6항에 있어서, 상기 소오스 영역 및 상기 드레인 영역은 소오스 바닥 및 드레인 바닥을 상기 반도체 기판 내에 구비하고, 상기 제2층 및 제3층은 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 연장되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 8

제6항에 있어서, 상기 소오스 영역 및 상기 드레인 영역은 소오스 바닥 및 드레인 바닥을 상기 반도체 기판 내에 구비하고, 상기 제3층은 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 연장되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 9

제6항에 있어서, 상기 게이트 전극은 상기 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 10

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에 형성된 제2도전형의 터브 영역;

상기 터브 영역 내에 상기 기판 표면에서 서로 거리를 두고 있는 상기 제2도전형의 소오스 영역 및 드레인 영역;

상기 터브 영역 내에 상기 기판의 표면 아래에서 상기 소오스 영역으로부터 상기 드레인 영역으로 연장되는 상기 제1도전형의 매몰 영역;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역의 사이의 상기 기판 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 11

제10항에 있어서, 상기 소오스 영역 및 상기 드레인 영역은 소오스 바닥 및 드레인 바닥을 상기 반도체 기판 내에 구비하고, 상기 매몰 영역은 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 더 연장되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 12

제10항에 있어서, 상기 게이트 전극은 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 13

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에서 서로 거리를 두고 있는 제2도전형의 소오스 영역 및 드레인 영역;

상기 기판 내에 상기 기판 표면에서 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되는 상기 제2도전형의 제1층;

상기 제1층 내에 상기 기판 표면 아래에서 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되는 상기 제1도전형의 매몰 제2층;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역 사이의 상기 기판의 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 14

제13항에 있어서, 상기 소오스 영역 및 드레인 영역은 소오스 바닥 및 드레인 바닥을 상기 반도체 기판 내에 구비하고, 상기 제1층은 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 더 연장되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 15

제13항에 있어서, 상기 소오스 영역 및 드레인 영역은 소오스 바닥 및 드레인 바닥을 상기 반도체 기판 내에 구비하고, 상기 제1층은 및 매몰 제2층은 모두 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 연장되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 16

제13항에 있어서, 상기 게이트 전극은 상기 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 17

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에 형성된 제2도전형의 터브 영역;

상기 기판 내에 상기 기판 표면에서 서로 거리를 두고 있는 상기 제2도전형의 소오스 영역 및 드레인 영역;

드레인 바이어스에 의한 상기 소오스 영역으로부터 상기 터브 영역으로의 캐리어의 주입을 감소시키기 위해 상기 터브 영역 내의 상기 소오스 영역 및 드레인 영역 사이에 형성된 드레인 전계 종결 수단;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역 사이의 상기 기판의 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 18

제17항에 있어서, 상기 게이트 전극은 상기 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 19

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에서 서로 거리를 두고 있는 제2도전형의 소오스 영역 및 드레인 영역;

상기 기판 내에 상기 기판 표면에서 상기 소오스 영역으로부터 상기 드레인 영역에까지 연장되는 상기 제2도전형의 층;

드레인 바이어스에 의한 상기 소오스 영역으로부터 상기 층으로의 캐리어의 주입을 감소시키기 위해 상기 층 내의 상기 소오스 영역 및 드레인 영역 사이에 형성된 드레인 전계 종결 수단;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역 사이의 상기 기판의 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 20

제19항에 있어서, 상기 게이트 전극은 상기 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 21

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에서 상기 기판 내로 상기 기판 표면으로부터 제1깊이까지 연장되는 제2도전형의 제1터브 영역;

상기 제1터브 영역 내에서 상기 기판 표면으로부터 제2깊이까지 상기 기판 내로 연장되며, 상기 제2깊이는 상기 제1깊이 보다 작은 상기 제1도전형의 제2터브 영역;

상기 제1터브 영역 내에서 상기 기판 표면으로부터 제3깊이까지 상기 기판 내로 연장되며, 상기 제3깊이는 상기 제1깊이 보다 작으며 서로 거리를 두고 있는 상기 제2도전형의 소오스 영역 및 드레인 영역;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역의 사이의 상기 기판 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 22

제21항에 있어서, 상기 제3깊이는 또한 상기 제2깊이 보다 작은 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 23

제21항에 있어서, 상기 게이트 전극은 상기 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 24

제1도전형의 반도체 기판;

상기 기판 내에 상기 기판 표면에서 서로 거리를 두고 있는 제2도전형의 소오스 영역 및 드레인 영역;

상기 기판 내에 상기 기판 표면에서 상기 소오스 영역으로부터 상기 드레인 영역까지 연장되고 상기 기판 표면으로부터 제1깊이까지 상기 기판 내로 연장되는 상기 제1도전형의 제1층;

상기 기판 내에서 상기 소오스 영역으로부터 상기 드레인 영역까지 연장되고 상기 제1깊이로부터 상기 기판 표면으로부터의 제2깊이까지 상기 기판 내로 연장되는 제2도전형의 제2층;

상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역의 사이의 상기 기판 표면 상에 형성된 게이트 절연층; 및

상기 소오스 영역, 드레인 영역 및 상기 게이트 절연층에 각각 접촉하는 소오스 전극, 드레인 전극 및 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 25

제24항에 있어서, 상기 소오스 영역 및 상기 드레인 영역은 소오스 바닥 및 드레인 바닥을 상기 반도체 기판 내에 구비하고, 상기 제1층 및 제2층은 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 연장되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 26

제24항에 있어서, 상기 소오스 영역 및 상기 드레인 영역은 소오스 바닥 및 드레인 바닥을 상기 반도체 기판 내에 구비하고, 상기 제2층은 상기 소오스 바닥으로부터 상기 드레인 바닥에까지 연장되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 27

제25항에 있어서, 상기 게이트 전극은 상기 제1도전형의 다결정질 실리콘층을 구비하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 28

제1도전형의 반도체 기판 내에, 제2도전형의 제1터브 및 상기 제1터브 내에 상기 제1도전형의 제2터브를 형성하는 단계;

상기 제1터브 및 상기 제2터브에 인접하는 상기 반도체 기판 상에 제2도전형의 층을 에피택셜 성장 방법으로 형성하는 단계; 및

상기 제2도전형의 상기 층 및 상기 제2터브 내에 상기 제2도전형의 서로 거리를 두고 있는 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터 제조 방법.

청구항 29

제28항에 있어서, 상기 제1터브 및 제2터브를 형성하는 단계는

상기 반도체 기판으로 상기 제2도전형의 이온을 주입하여 상기 제1터브를 형성하는 단계; 및

상기 제1터브로 상기 제1도전형의 이온을 주입하여 상기 제1터브의 일부를 카운터 도핑함으로써 상기 제2터브를 형성하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터 제조 방법.

청구항 30

제28항에 있어서, 상기 제2도전형의 층을 에피택셜 성장 방법으로 형성하는 단계는

상기 반도체 기판 상에 도핑되지 않은 반도체층을 에피택셜 성장 방법으로 형성하는 단계; 및

상기 도핑되지 않은 반도체층으로 상기 제2도전형의 이온을 주입함으로써 카운터 도핑할 필요 없이 상기 반도체층을 상기 제2도전형으로 도핑하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터 제조 방법.

청구항 31

제28항에 있어서, 상기 제2도전형의 층을 에피택셜 성장 방법으로 형성하는 단계는

에피택셜 성장 방법으로 상기 층을 증착하며 동시에 상기 제2도전형으로 상기 층을 도핑하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터 제조 방법.

청구항 32

제28항에 있어서, 상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역을 형성하는 단계는

제2도전형의 상기 층 내 및 상기 층을 통과하여 상기 제2터브 내로 상기 제2도전형의 이온을 주입하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터 제조 방법.

청구항 33

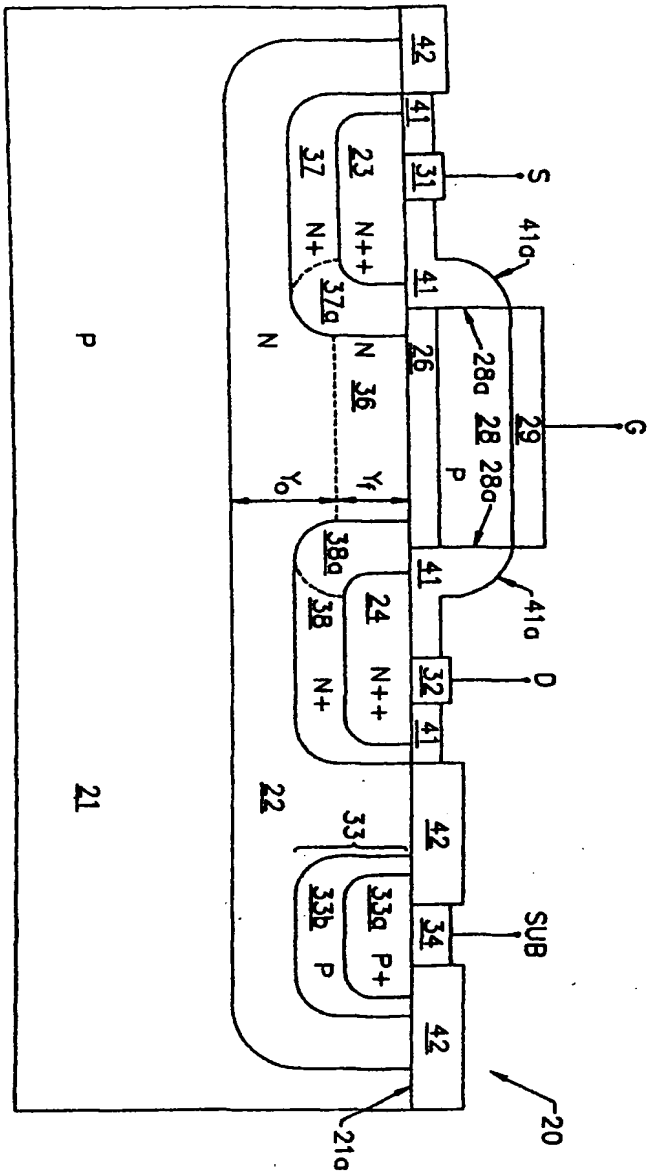
제28항에 있어서, 상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역을 형성하는 단계는

상기 제2도전형의 상기 층 내 및 상기 층을 통과하고, 상기 제2터브 내 및 상기 제2터브를 통과하여, 상기 제1터브 내로 상기 제2도전형의 이온을 주입하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터 제조 방법.

청구항 34

제28항에 있어서, 상기 서로 거리를 두고 있는 소오스 영역 및 드레인 영역을 형성하는 단계 이전에

상기 제1터브 및 상기 제2터브에 인접하는 상기 제2도전형의 상기 층 상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터 제조 방법.



도면

